การวิเคราะห์การเบี่ยงเบนของผลตอบสนองความถี่ของวงจรกรองแอคทีฟอาร์ซีบันไดแบบปลายคู่ที่เกิดจากซีโร่แฝง

Analysis of Frequency response Deviation of Fully-Differential Ladder Active-RC Filters due to Parasitic Zeros

นิพนธ์ สีนิลแท้ และ จิรยุทธ์ มหัทธนกุล

บัณฑิตศึกษา สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร

140 ถ.เชื่อมสัมพันธ์ หนองจอก กรุงเทพฯ 10530

Email:srinintae@gmail.com, jirayut@mut.ac.th

Manuscript received March 15, 2018
Revised June 9, 2018

บทคัดย่อ

บทความนี้นำเสนอสมการสำหรับการหาค่าซีโร่แฝงสองตัวแรกในวงจรกรองแอคทีฟอาร์ซีบันไดแบบปลายคู่ซีโร่ทั้งสองนี้ซึ่งเกิดขึ้นจากความไม่เป็นอุดมคติของออปแอมป์โดยเฉพาะอย่างยิ่งอัตราขยายที่จำกัดของออปแอมป์เป็นปัจจัยสำคัญที่ส่งผลกระทบต่อผลตอบสนองความถี่ของวงจรโดยทำให้การลดทอนของแถบหยุดของวงจรมีค่าน้อยลง ผลจากการจำลองการทำงานมีความสอดคล้องกับผลที่ได้จากสมการเป็นอย่างดี

คำสำคัญ *: การวิเคราะห์การเบี่ยงเบนของผลตอบสนองความถี่, วงจรกรองแอคทีฟอาร์ซีปลายคู่สองด้าน*

ABSTRACT

In this paper, equations for two parasitic zeros of fully-differential op amp-RC ladder filters are derived. These zeros, which were caused by op amp non-idealities especially finite gain, can have significant impact on frequency response of the filters by degrading their stop-band attenuation. Simulation results are in good agreements with the derived equations.

Keywords *: analysis of frequency response deviation, fully-differential active-RC filters*

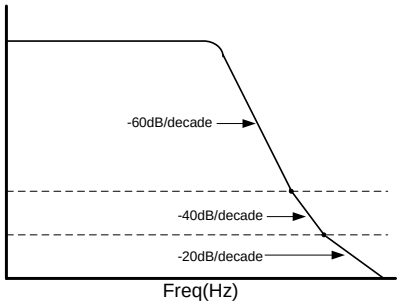
1. บทนำ

วงจรกรองสัญญาณต่อเนื่อง (continuous time filter) ที่ได้รับความนิยมมากที่สุดวงจรหนึ่งคือวงจรกรองแอคทีฟอาร์ซี (active RC filter) หรือวงจรกรองออปแอมป์อาร์ซี (op-amp RC filter) ซึ่งประกอบด้วยออปแอมป์ต่อรวมกับความต้านทานและตัวเก็บประจุ ซึ่งเรานิยมนำมาใช้ในวงจรรวมสัญญาณแอนะล็อก (analog integrated circuit) วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (analog to digital converter) และวงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อก (digital to analog converter) ปัจจุบันโครงสร้างของวงจรกรองสัญญาณต่อเนื่องที่เป็นมาตรฐานคือโครงสร้างแบบปลายคู่สองด้าน (fully differrential) ซึ่งมีข้อได้เปรียบมากกว่าโครงสร้างแบบปลายเดี่ยวในหลายด้าน อาทิการทนต่อสัญญาณรบกวน พิสัยการสวิงและความเป็นเชิงเส้น [1] – [4]

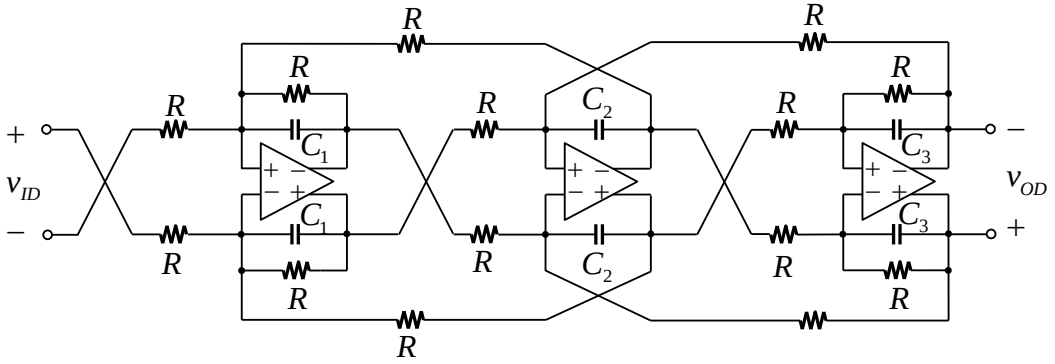
เมื่อนำวงจรกรองความถี่ไปใช้งานปัจจัยสำคัญประการหนึ่งที่ต้องคำนึงถึงคือผลตอบสนองความถี่ (frequency response) ของวงจรนั้น ในทางปฏิบัติเมื่อความถี่อินพุตเปลี่ยนแปลงจนถึงจุดตัดความถี่ (cut off frequency) อัตราขยายจะลดลงไปเรื่อย ๆ โดยมีความชันเท่ากับ -20*n* dB/dec โดย *n* คืออันดับของวงจรกรองของวงจรกรองความถี่ แต่เนื่องจากผลของซีโร่แฝง (parasitic zero) ของวงจรนั้นทำให้อัตราการตกของความถี่ไม่เป็นไปตามอัตราที่กล่าวไว้ข้างต้น โดยผลของ ซีโร่แฝงแต่ละตัวจะทำให้ขนาดของความชัน

ลดลงไป 20 dB/dec ดังแสดงในรูปที่ 1

ในบทความนี้จะนำเสนอการวิเคราะห์ค่าซีโร่ของวงจรกรองแอคทีฟอาร์ซีปลายคู่สองด้าน (fully differential active RC filter) โดยจะแสดงค่าซีโร่ดังกล่าวในรูปของฟังก์ชันของอัตราขยายทรานส์คอนดักแตนซ์ (transconductance gain) และเอาท์พุตคอนดักแตนซ์ (output conductance) ของออปแอมป์และค่าความต้านทานที่ใช้ในวงจร



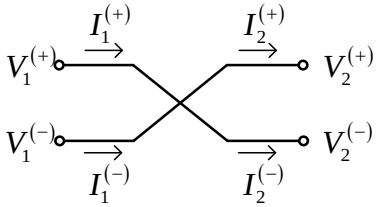
รูปที่ 1 *อัตราการตกของความถี่ (roll off) ของวงจรกรองอันดับสาม*



รูปที่ 2 *วงจรกรองแอคทีฟอาร์ซีบันไดปลายคู่อันดับสาม*

2. การวิเคราะห์ผลตอบสนองความถี่ของวงจรแอ็คทีฟ อาร์ซีบันไดแบบปลายคู่สองด้าน

เราจะเห็นได้ว่าวงจรกรองผลต่างสองด้านในรูปที่ 2 มีการไขว้สลับ (cross couple) สายสัญญาณฝั่ง (+) และฝั่ง (-) ซึ่งจะทำให้เกิดการสลับเครื่องหมายสัญญาณแรงดันผลต่างและกระแสผลต่างดังนี้



รูปที่ 3 *การไขว้สลับสายสัญญาณภายในวงจรปลายคู่สองด้าน*

จากรูปที่ 3 ถ้าเรานิยามแรงดันผลต่าง (DM voltage) และกระแสผลต่าง (DM current)

$$V_{1d} = V_1^{(+)} - V_1^{(-)}$$

$$V_{2d} = V_2^{(+)} - V_2^{(-)}$$

และ

$$I_{1d} = I_1^{(+)} - I_1^{(-)}$$

$$I_{2d} = I_2^{(+)} - I_2^{(-)}$$

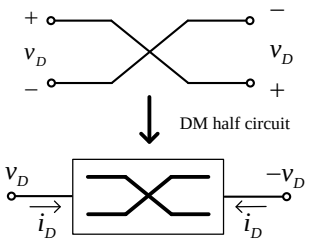
เราจะพบว่า

$$V_{2d} = -V_{1d}$$

และ

$$I_{2d} = -I_{1d}$$

ดังนั้นสามารถแสดงวงจรสมมูลสัญญาณผลต่าง (DM half circuit) ของวงจรในรูปที่ 3 ได้ดังแสดงรูปที่ 4 โดยจะใช้กล่องที่มีเครื่องหมาย X อยู่ภายในเป็นสัญลักษณ์ทางวงจรในโหมดผลต่างของการไขว้สลับสายสัญญาณในวงจรผลต่างสองด้าน



รูปที่ 4 *วงจรสมมูลสัญญาณผลต่างของการสลับไขว้สาย*

รูปที่ 5 แสดงวงจรสมมูลครึ่งวงจรในโหมดผลต่างของวงจรกรองแอคทีฟอาร์ซีบันไดปลายคู่ในรูปที่ 1 จากสมการ (A-16) ใน Appendix A เราพบว่าซีโร่ของวงจรดังกล่าวคือค่า s ในสมการ

$$as^2 + bs + c$$

โดย $a = G_m C_1 C_3 s^2$

$b = -(C_1 + C_2 + C_3)G_m^2$

$c = G_m^3$

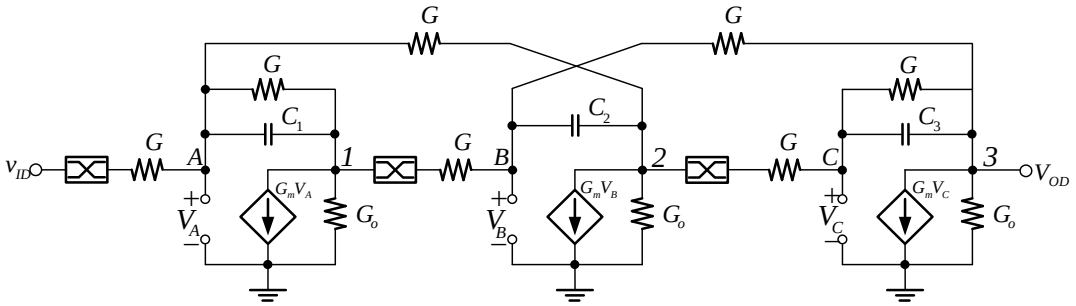
ถ้าให้ z_1 และ z_2 คือซีโร่ของวงจรโดย $z_2 >> z_1$ เราสามารถแสดงสมการของ z_1 และ z_2 ได้ดังนี้ (ดังแสดงรายละเอียดใน Appendix B)

$$z_1 = \frac{G_m}{C_1 + C_2 + C_3} \tag{1}$$

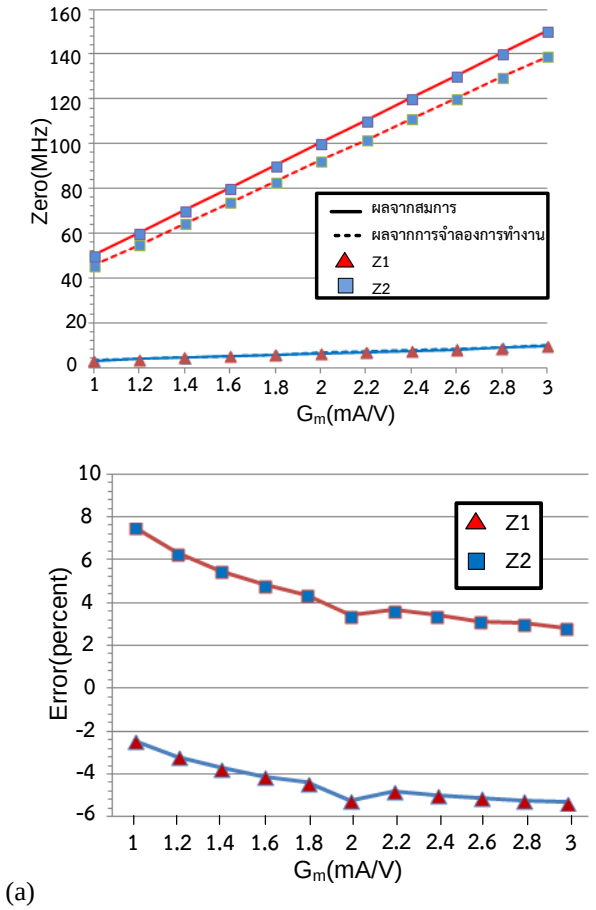
และ

$$z_2 = \frac{(C_1 + C_2 + C_3)G_m}{(C_1 C_3)} \tag{2}$$

รูปที่ 6 แสดงการเปรียบเทียบผลจากการจำลองการทำงานกับผลที่ได้จากสมการที่ (1) และ (2) เราจะเห็นได้ว่าค่าของ z_1 และ z_2 ที่ได้จากสมการมีค่าใกล้เคียงกับผลที่ได้จากการจำลองการทำงานของวงจร



รูปที่ 5 *วงจรสมมูลครึ่งวงจรในโหมดผลต่างของวงจรในรูปที่ 1*



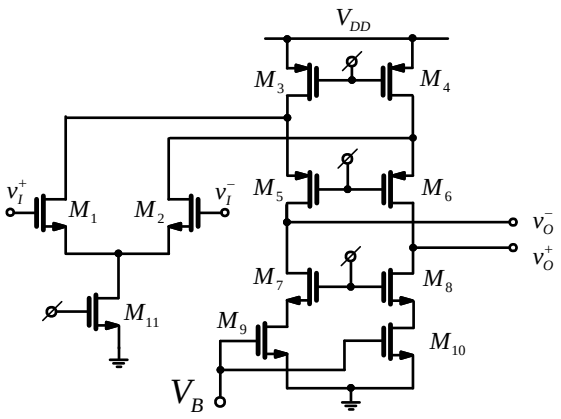
(a)

(b)

รูปที่ 6 (a) *กราฟของสมการที่ (1) และ (2) เปรียบเทียบกับผลที่ได้จากการจำลองการทำงานวงจรในรูปที่ 5 เมื่อให้* $C_1 = C_3 = 12.7$ *pF และ* $C_2 = 25.4$ *pF โดย* G_m *มีค่าอยู่ระหว่าง 1 mA/V – 3 mA/V (b) ค่าเปอร์เซ็นต์ความผิดพลาดของกราฟในข้อ* (a)

3. ผลการจำลองการทำงานและสรุป

หัวข้อนี้แสดงการจำลองการทำงานของวงจรเพื่อทดสอบความแม่นยำของสมการเทียบกับผลทางปฏิบัติ วงจรที่ใช้คือวงจรกรองแอ็คทีฟอาร์ซีบันไดแบบปลายคู่สองด้านอันดับสาม (รูปที่ 1) ที่มี R = 100 kΩ, $C_1 = C_3 = 12.7$ *pF* และ $C_2 = 25.4$ *pF* เพื่อให้ได้ผลตอบสนอง แบบบัตเตอร์เวิร์ธ (Butterworth) ที่มีแถบผ่าน (bandwidth) เท่ากับ 100 kHz โดยออปแอมป์ของวงจรที่ใช้ในการจำลองการทำงานเป็นออปแอมป์คาสโคดแบบพับ (folded cascode) ดังแสดงในรูปที่ 7 ทั้งนี้ออปแอมป์ทุกตัวในวงจรจะถูกต่อเข้ากับโครงข่ายป้อนกลับโหมดผลร่วม (common-mode feedback : CMFB) เพื่อกดอัตราขยายโหมดผลร่วมของวงจรซึ่งทำหน้าที่เสมือนเป็นตัวต้านทานลดทอน (damping resistance) สำหรับสัญญาณในโหมดผลร่วมแต่จะไม่ส่งผลต่อสัญญาณในโหมดผลต่าง [5] โดยค่าพารามิเตอร์การออกแบบของออปแอมป์แสดงดังตารางที่ 1



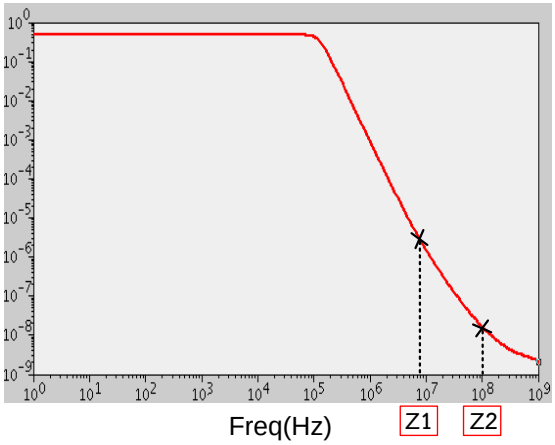
รูปที่ 7 *โครงสร้างออปแอมป์แบบคาสโคดพับ*

ตารางที่ 1 *ค่าพารามิเตอร์ในการออกแบบออปแอมป์*

Parameters	**Values**
Supply	1.5V
Bias Current	300 µA
$(W/L)_{1,2}$	120 µm/0.6 µm
$(W/L)_{3,4}$	70 µm/0.8 µm
$(W/L)_{5,6}$	55 µm/0.4 µm
$(W/L)_{7,8,9,10}$	40 µm / 1.2 µm
$(W/L)_{11}$	150 µm/0.6 µm

จากผลการจำลองการทำงานเราได้ค่าของ G_m ของออปแอมป์เท่ากับ 2.467 mA/V เมื่อแทนค่า G_m และค่าตัวเก็บประจุลงในสมการที่ (1) และ (2) จะได้ z_1 = 7.73 MHz และ z_2 = 123.7 MHz ตามลำดับ

จากกราฟรูปที่ 8 เราพบว่ากราฟผลตอบสนองความถี่จะมีความชันประมาณ -60 dB/dec ในช่วงแรกของแถบหยุดแต่ความชันจะลดลงเป็นประมาณ -40 dB/dec และ -20 dB/dec ที่ความถี่ใกล้เคียงกับค่าซีโร่ z_1 และ z_2 ที่คำนวณได้ข้างต้น



รูปที่ 8 *ผลตอบสนองความถี่ของวงจรกรองแอ็คทีฟอาร์ซีที่ได้จากการจำลองการทำงาน*

เอกสารอ้างอิง

[1] D. Johns, K. W. Martin , "Analog integrated circuit design" University of Michigan, 1997
[2] PHILLIP E. ALLEN AND D. R. HOLBERG, "CMOS ANALOG CIRCUIT DESIGN", OUP USA, 2012
[3] B. Razavi, "Design of Analog CMOS Integrated Circuit" Los Angeles: University of California, 2001.
[4] Y. P. Tsividis, "Integrated Continuous-time filter design - An overview," *IEEE J. Solid-State Circuits*, vol. 29, no. 3, pp.166-176, March 1994.
[5] C. Upathamkuekool and J. Mahattanakul, "Stability Analysis of Fully-Differential Active-RC Filters with Common-mode Feedback Network" *Engineering transactions*, volume 13, no. 36, 2014

Appendix A

จากวงจรในรูปที่ 5 เมื่อทำการวิเคราะห์ KCL ที่โหนด 1 2 3 B และ C โดยใช้คุณลักษณะความสัมพันธ์ของกระแสและแรงดันของวงจรในจุดที่มีการไขว้สายตามรูปที่ 4 เราจะได้

$$(G+sC_1)(V_A-V_1)=G_mV_A+G_oV_1+G(V_1+V_B) \quad \text{(A-1)}$$

$$G_mV_B+G_OV_2+G(V_2+V_C)=sC_2(V_B-V_2)+G(V_A-V_2) \quad \text{(A-2)}$$

$$G_mV_C=(G+sC_3)V_C+(GV_B-V_o)+G_oV_o \quad \text{(A-3)}$$

$$G(V_B+V_1)+sC_2(V_B-V_2)+(GV_B-V_o)=0 \quad \text{(A-4)}$$

$$(G+sC_3)(V_C-V_o)+G(V_2+V_C)=0 \quad \text{(A-5)}$$

ตามลำดับ

จากนิยามซีโร่คือค่าความถี่เชิงซ้อนที่ทำให้ฟังก์ชันโอนย้าย $H(s)=V_O(s)/V_i(s)$ มีค่าเท่ากับศูนย์ถ้าหากเราแทน $V_o=0$ ลงในสมการ KCL ข้างต้นเราจะได้

$$G_mV_C=(G+sC_3)V_C+GV_B \quad \text{(A-6)}$$

$$G(V_B+V_1)+sC_2(V_B-V_2)+GV_B=0 \quad \text{(A-7)}$$

$$(G+sC_3)V_C+G(V_2+V_C)=0 \quad \text{(A-8)}$$

ตามลำดับ เมื่อจัดรูปสมการ (A-2),(A-6)-(A-8) จะได้

$$GV_A=(G_m-sC_2)V_B+GV_C+(2G+G_O+sC_2)V_2 \quad \text{(A-9)}$$

$$V_B=\left(\frac{G+sC_3-G_m}{2G+sC_3}\right)V_2 \quad \text{(A-10)}$$

$$GV_1=-(2G+sC_2)V_B+sC_2V_2 \quad \text{(A-11)}$$

$$V_C=\frac{-GV_2}{2G+sC_3} \quad \text{(A-12)}$$

ตามลำดับ

แทนสมการ (A-10) และ (A-12) ลงในสมการ (A-19) และจัดรูปสมการจะได้

$$V_A=\frac{(G_m-sC_2)(G+sC_3)-G^2+(2G+G_o+sC_2)(2G+sC_3)}{G(2G+sC_3)} \quad \text{(A-13)}$$

แทนสมการ (A-10) ลงในสมการ (A-11) และจัดรูปสมการจะได้

$$V_1=\left[\frac{-(2G+sC_2)(G+sC_3-G_m)+sC_2(2G+sC_3)}{G(2G+sC_3)}\right]V_2 \quad \text{(A-14)}$$

ซึ่งเมื่อแทนสมการที่ (A-10) (A-13) และ (A-14) ลงในสมการ (A-1) เราจะได้

$$(a)Gm+(b)G^2s+(c)G_m^2s+d+(e)GG_ms \quad \text{(A-15)}$$
$$+(f)GG_os+(g)G_mG_0s+(h)C_1C_3s^2=0$$

โดยที่

$$a=G_m^2-7G^2$$
$$b=4(C_1-C_2)$$
$$c=-(C_1+C_2+C_3)$$

$$d = -4GG_mG_o$$
$$e = -(2C_1 + 4C_2 + 2C_3)$$
$$f = 2C_1 - 2C_2 - 2C_3$$
$$g = -(C_2 + C_3)$$
$$h = 4G + G_m + G_o$$

จากการประมาณสมการ (A-16) ภายใต้เงื่อนไข G_m มีค่ามากกว่า G_o และ $1/R$ มาก และจัดรูปสมการเราจะได้

$$G_mC_1C_3s^2 - (C_1 + C_2 + C_3)G_m{}^2s + G_m^3 = 0 \qquad \text{(A-16)}$$

Appendix B

ถ้ากำหนดให้ z_1 และ z_2 คือรากของพหุนาม $as^2 + bs + c$ เราจะได้

$$as^2 + bs + c = a(s - z_1)(s - z_2) \qquad \text{(B-1)}$$

เราสามารถแสดงได้ว่า

$$s^2 + \frac{b}{a}s + \frac{c}{a} = s^2 - (z_1 + z_2)s + z_1z_2 \qquad \text{(B-2)}$$

หากเราประมาณสมการ (B-2) ภายใต้เงื่อนไข z_2 มีค่ามากกว่า z_1 มากๆ เราจะได้

$$s^2 + \frac{b}{a}s + \frac{c}{a} = s^2 - sz_2 + z_1z_2 \qquad \text{(B-3)}$$

จากสมการ (B-3) เราจะได้ว่า

$$z_1z_2 = \frac{c}{a} \qquad \text{(B-4)}$$

และ

$$z_2 = -\frac{b}{a} \qquad \text{(B-5)}$$

เมื่อแทนสมการ (B-5) ลงในสมการ (B-4) เราจะได้

$$z_1 = -\frac{c}{b} \qquad \text{(B-6)}$$

นิพนธ์ สีนิลแท้ สำเร็จการศึกษาหลักสูตรวิทยาศาสตรบัณฑิต สาขาเทคโนโลยีอิเล็กทรอนิกส์ มหาวิทยาลัยราชภัฏบุรีรัมย์ ในปี พ.ศ. 2557 ปัจจุบันกำลังศึกษาระดับปริญญาโท สาขาวิศวะกรรมไฟฟ้า แขนงอิเล็กทรอนิกส์ มหาวิทยาลัยเทคโนโลยีมหานคร งานวิจัยเน้นด้านการวิเคราะห์วงจรและการออกแบบวงจรแอนะล็อก

ศ.ดร.จิรยุทธ์ มหัทธนกุล สำเร็จการศึกษาระดับปริญญาตรี สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ จากสถาบันเทคโนโลยีพระจอมเกล้าคุณทหารลาดกระบัง ในปี พ.ศ. 2532 ระดับปริญญาโท สาขาวิชาวิศวกรรมไมโครอิเล็กทรอนิกส์ จาก Florida Institute of technology ในปี 2534 และระดับปริญญาเอก สาขาวิชาวิศวกรรมไฟฟ้าจาก Imperial College London ในปี 2540 ปัจจุบันดำรงตำแหน่งรองอธิการบดีฝ่ายวิชาการ มหาวิทยาลัยเทคโนโลยีมหานคร มีความสนใจทางด้านการออกแบบวงจรรวม (Integrated Circuit Design)