Group B: *Engineering Educations, Application, and Techniques*

วิวัฒนาการของวงจรรวม CMOS: จาก MOSFET สู่ FinFET

Evolution of CMOS Integrated Circuits: From MOSFET to FinFET

จิรยุทธ์ มหัทธนกุล

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร

51 ถ.เชื่อมสัมพันธ์ หนองจอก กรุงเทพฯ 10530

Email: jirayut@mut.ac.th

Manuscript received October 20, 2015

Revised November 13, 2015

บทคัดย่อ

บทความนี้นำเสนอพัฒนาการของการผลิตวงจรรวม CMOS ตั้งแต่ช่วงต้นทศวรรษ 1970 จนถึงปัจจุบัน โดยในช่วงแรกบทความนี้จะกล่าวถึงวิวัฒนาการของโครงสร้างและวัสดุในการผลิตอุปกรณ์ MOSFET ในช่วงเวลาที่ผ่านมา และในช่วงหลังบทความจะกล่าวถึงนวัตกรรมใหม่คือ FinFET ซึ่งเป็นที่คาดการณ์ว่าจะทำให้การย่อขนาดวงจรรวมสามารถดำเนินต่อไปได้อีกระยะเวลาหนึ่ง

ABSTRACT

This paper presents the developmental progress of CMOS integrated circuit fabrication from the early 1970's till present time. In the first part of the paper, evolution of the structure and materials to produce MOSFET devices over the years will be summarized. And in the second part, the new kind of device namely FinFET, which is expected to make possible the continuation of the scaling down of CMOS IC in the future, will be discussed.

1. บทนำ

อุตสาหกรรมอิเล็กทรอนิกส์เป็นอุตสาหกรรมหลักของโลกในยุคปัจจุบัน อุปกรณ์ วงจรและเครื่องใช้อิเล็กทรอนิกส์ได้แก่เครื่องคอมพิวเตอร์ โทรศัพท์มือถือ กล้องถ่ายรูป โทรทัศน์ และสินค้าอิเล็กทรอนิกส์อื่น ๆ อีกมากมาย ผลิตภัณฑ์เหล่านี้ส่วนหนึ่งได้ถูกนำเอาใช้เป็นจักรเฟืองที่สำคัญในอุตสาหกรรมอื่น ๆ ที่สำคัญได้แก่ อุตสาหกรรมบริการด้านเทคโนโลยีสารสนเทศและการสื่อสารโทรคมนาคมก่อให้เกิดรายได้และการจ้างงานขึ้นอีกมากมายมหาศาล นอกจากนี้ผลิตภัณฑ์อิเล็กทรอนิกส์บางส่วนก็ถูกนำไปใช้ในอุตสาหกรรมผลิตรถยนต์ เครื่องบิน การทหาร เครื่องจักรอุตสากรรม ฯลฯ กล่าวได้ว่าอุตสาหกรรมอิเล็กทรอนิกส์เป็นรากฐานของอารยธรรมของโลกยุคใหม่

เทคโนโลยีสำคัญที่ทำให้เกิดการพัฒนาที่กล่าวมาคือเทคโนโลยีการผลิตวงจรรวม (Integrated Circuit: IC) ซึ่งทำให้เราสามารถบรรจุวงจรอิเล็กทรอนิกส์ที่มีความซับซ้อนอย่างมากลงไปในชิป (Chip) ที่มีขนาดเล็กได้ ในระยะเวลาหลายสิบปีที่ผ่านมาวงจรรวม CMOS ที่ใช้ซิลิกอนเป็นฐานเป็นวงจรรวมที่ได้รับความนิยมสูงสุด และอุปกรณ์ที่มีสำคัญที่สุดในวงจรรวม CMOS คือทรานซิสเตอร์ประเภท MOSFET (Metal-Oxide-Semiconductor Field-Effect-Transistor) ทั้งนี้พัฒนาการในด้านเทคโนโลยีการผลิตวงจรรวมที่ก้าวหน้ามากขึ้นเรื่อย ๆ ทำให้ผู้ผลิตชิปสามารถย่อส่วนอุปกรณ์ MOSFET ให้มีขนาดเล็กลงได้เรื่อย ๆ ด้วยเหตุนี้วงจรรวมแต่ละวงจรจึงสามารถบรรจุ MOSFET จำนวนมากขึ้นได้อย่างทวีคูณ ซึ่งสอดคล้องกับคำทำนายของมัวร์ [1] – [2]

ปรากฏการณ์ดังกล่าวส่งผลให้วงจรรวมมีความสามารถในการทำงานที่ซับซ้อนมากขึ้นเรื่อย ๆ นอกจากนี้ขนาดที่เล็กลงของอุปกรณ์ยังทำให้วงจรรวมมีสมรรถนะในด้านความเร็วที่สูงขึ้นด้วย ตารางที่ 1 แสดงพัฒนาการของเทคโนโลยีการผลิตวงจรรวม CMOS

ในช่วงระยะเวลาตั้งแต่ปี ค.ศ. 1971 จนถึงปี ค.ศ. 2014

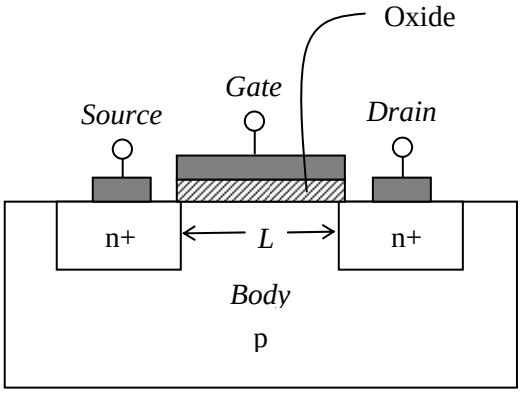
ตารางที่ 1 *พัฒนาการของเทคโนโลยีการผลิตวงจรรวม CMOS*

เทคโนโลยีโหนด	ปี ค.ศ.	ตัวอย่างชิปไมโครโปรเซสเซอร์
10 ไมครอน	1971	Intel 4004, 8008
6 ไมครอน	1974	Intel 8080
3 ไมครอน	1977	Intel 8085, 8086, 8088
1.5 ไมครอน	1982	Intel 80286
1 ไมครอน	1985	Intel 80386
800 นาโนเมตร	1989	Intel 80486
600 นาโนเมตร	1994	Intel 80486DX4, IBM/Motorola PowerPC 601
350 นาโนเมตร	1995	Intel Pentium Pro
250 นาโนเมตร	1997	Intel Pentium Pro
180 นาโนเมตร	1999	Intel Celeron, AMD Athlon Thunderbird
130 นาโนเมตร	2001	Intel Pentium III, AMD Athlon XP, IBM Gekko
90 นาโนเมตร	2004	Intel Pentium 4 Prescott, MD Athlon 64, IBM Power PC G5 971FX
65 นาโนเมตร	2006	Intel Pentium 4 (Cedar Mill), IBM z10
45 นาโนเมตร	2008	Intel Core i7, IBM Power 7
32 นาโนเมตร	2010	Intel Core i7 980x
22 นาโนเมตร	2012	Intel Core i7 Ivy Bridge
14 นาโนเมตร	2014	Intel Core M

ทั้งนี้ในช่วงเวลาที่ผ่านมาเทคนิคต่าง ๆ ในการย่อขนาดอุปกรณ์ MOSFET ในวงจรรวม CMOS ได้ถูกคิดค้นขึ้นมาอย่างต่อเนื่องดังจะได้กล่าวรายละเอียดในหัวข้อที่สอง นอกจากนี้ในช่วงเวลาสองสาม ปีที่ผ่านมาพัฒนาการการผลิตวงจรรวม CMOS ได้รุดหน้าไปอีกขั้นด้วยการผลิตวงจรรวม CMOS ด้วยเทคโนโลยี FinFET ซึ่งเป็นทรานซิสเตอร์โครงสร้างใหม่ เป็นที่คาดการณ์ว่าเทคโนโลยี FinFET นี้จะทำให้การย่อขนาดวงจรรวม CMOS ยังสามารถดำเนินต่อไปได้อีกระยะหนึ่ง โดยเราจะกล่าวถึงเรื่องนี้ในหัวข้อที่สาม

2. วิวัฒนาการของ MOSFET ในวงจรรวม CMOS

รูปที่ 1 แสดงภาพตัดขวางของ MOSFET แบบดั้งเดิมโดยตัวแปร *L* คือความยาวเกต หลักการทำงานของ MOSFET คือแรงดันที่ขาเกตจะเป็นตัวควบคุมสวิตช์ปิดเปิด (on/off switch) ระหว่างขาเดรนและซอร์ส โดยเมื่อแรงดันที่ขาเกตมีค่าสูงพอจะเหนี่ยวนำให้เกิดช่องนำกระแส (channel) ขึ้นที่บริเวณใต้ชั้นฉนวนซิลิกอนไดออกไซด์ (Silicon Dioxide: SiO_2) ที่ถูกปลูกขึ้นในบริเวณระหว่างเดรนและซอร์ส ช่องนำกระแสดังกล่าวจะทำให้เกิดการเชื่อมต่อทางไฟฟ้าระหว่างเดรนและซอร์สขึ้น



รูปที่ 1 *ภาพตัดขวางของโครงสร้าง MOSFET แบบดั้งเดิม*

ในช่วงเริ่มต้นไปจนถึงกลางทศวรรษ 1970 ชั้นเกตของ MOSFET ถูกนิยมสร้างด้วยอลูมิเนียมซึ่งเป็นโลหะ (metal) ด้วยเหตุนี้โครงสร้างแนวตั้งของอุปกรณ์จึงประกอบด้วยชั้นโลหะ ชั้นออกไซด์ และชั้นสารกึ่งตัวนำ (Metal-Oxide-Semiconductor: MOS) ซึ่งเป็นที่มาของชื่อ MOSFET นั่นเอง อย่างไรก็ตามปัญหาสำคัญประการหนึ่งของการสร้าง MOSFET ในช่วงแรกคือการไม่เรียงตัวกันพอดี(misalignment) ระหว่างช่องนำกระแสกับชั้นเกตซึ่งเกิดจากความคลาดเคลื่อนในการผลิตทำให้ชั้นเกตไม่อยู่ระหว่างบริเวณเดรนและซอร์สพอดี วิธีหนึ่งที่สามารถแก้ไขปัญหาดังกล่าวได้คือเทคนิคการวางเกตแบบเรียงตัวเอง (self-aligned gate) ขั้นตอนของวิธีดังกล่าวจะเริ่มจากการวางชั้นเกตก่อนจากนั้นจึงมีการเจือสาร (doping) เพื่อสร้างบริเวณเดรนและซอร์สโดยชั้นเกตจะเป็นตัวกั้นไม่ให้การเกิดการเจือสารในบริเวณช่องนำกระแสใต้เกตได้พอดี ข้อเสียของวิธีการนี้คือเมื่อเจือสารเสร็จจะต้องมีขั้นตอนการให้ความร้อนที่อุณหภูมิสูงเพื่อสมานพันธะซึ่งจะทำให้เกตที่สร้างจากอลูมิเนียมหลอมละลาย ด้วยเหตุนี้ในเวลาต่อมาจึงได้มีแนวความคิดในการเปลี่ยนวัสดุในการสร้างเกตมาเป็นโพลีซิลิกอน (polysilicon) ซึ่งมีจุดหลอมละลายสูงกว่าอลูมิเนียมมาก [3] โดยเรามักใช้โพลีซิลิกอนแบบเจือสาร (doped polysilicon) เพื่อให้ความต้านทานของเกตมีค่าต่ำ

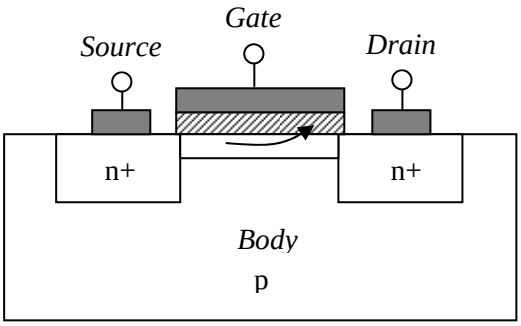
นอกเหนือจากการเปลี่ยนการเปลี่ยนเกตโลหะเป็นเกตโพลี

ซิลิกอนที่ได้กล่าวมาข้างต้น การย่อขนาดวงจรรวม CMOS ในระยะเวลาประมาณสามสิบปีแรกคือตั้งแต่ช่วงต้นทศวรรษ 1970 จนถึงช่วงปลายทศวรรษ 1990 สามารถทำได้โดยการเพิ่มความละเอียดแม่นยำของอุปกรณ์ที่ใช้ผลิตวงจรรวม อาทิ การริเริ่มใช้เลเซอร์รังสีเหนือม่วง (ultraviolet laser) แบบเอ็กไซเมอร์ (excimer) เป็นแหล่งกำเนิดแสงในกระบวนการพิมพ์ลายด้วยแสง (photolithography) [4] โดยไม่จำเป็นต้องมีการปรับเปลี่ยนโครงสร้างและวัสดุที่ใช้ในการผลิต MOSFET แต่อย่างใด ทั้งนี้ในช่วงเวลาดังกล่าวการย่อขนาด CMOS ทำให้ความยาวเกต (gate length) ของ MOSFET มีขนาดลดลงไปกว่า 100 เท่า

อย่างไรก็ตามในช่วงหลังจากปลายทศวรรษ 1990 การย่อขนาดในลักษณะข้างต้นจะทำให้เกิดการรั่วไหลของกำลังงาน (power leakage) ภายในตัว MOSFET มากเกินไปจนทำให้ต้องมีการการปรับเปลี่ยนโครงสร้างและวัสดุที่ใช้ในการผลิต MOSFET ควบคู่ไปกับการย่อขนาดด้วย

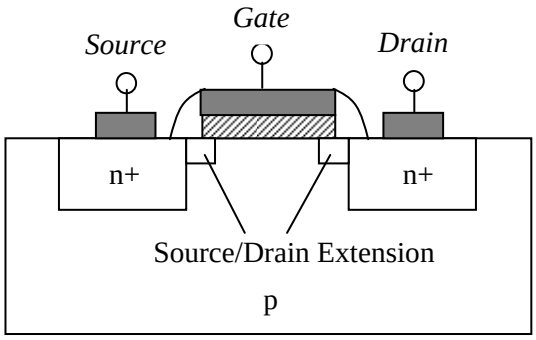
2.1 การต่อขยายบริเวณเดรนและซอร์ส

การที่ความยาวเกตของ MOSFET มีขนาดเล็กลงทำให้สนามไฟฟ้าที่ตกคร่อมช่องนำกระแสมีค่ามากขึ้น ส่งผลให้เกิดสิ่งที่ที่เรียกว่าปรากฏการณ์อิเล็กตรอนร้อน (hot electron effect) ขึ้นอันจะทำให้มีการรั่วไหลของประจุจากช่องนำกระแสไปสู่ชั้นออกไซด์ได้ ดังแสดงในรูปที่ 2



รูปที่ 2 *การรั่วไหลของประจุจากช่องนำกระแสสู่ชั้นออกไซด์*

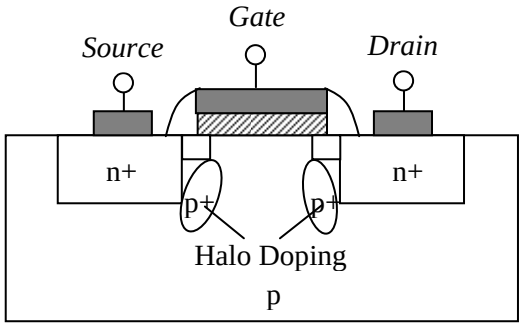
แนวความคิดหนึ่งในการแก้ไขปัญหานี้คือการต่อขยายบริเวณซอร์สและเดรน (source/drain extension) ออกไปใต้ชั้นออกไซด์ ดังรูปที่ 3 น้อยเพื่อลดความแรงของสนามไฟฟ้าที่ตกคร่อมช่องนำกระแสให้มีค่าลดลง ทั้งนี้ส่วนต่อขยายนี้จะถูกออกแบบให้มีความหนาแน่นของสารเจือน้อยทำให้เทคนิคนี้บางครั้งถูกเรียกว่าการต่อขยายเดรนอย่างเจือจาง (Lightly Doped Drain extension) หรือเรียกย่อ ๆ ว่า LDD



รูปที่ 3 *MOSFET ที่มีการต่อขยายบริเวณซอร์สและเดรน*

2.2 การเจือสารวงแหวน (halo doping)

เนื่องจากการย่อขนาด CMOS ได้ทำให้บริเวณปลอดพาหะ (depletion region) ของรอยต่อ PN ระหว่างซอร์สกับบอดี้ออยู่ใกล้ชิดกับบริเวณปลอดพาหะของรอยต่อระหว่างเดรนกับบอดี้มาก ส่งผลให้เกิดบริเวณปลอดพาหะขึ้นใต้ชั้นออกไซด์แม้ไม่มีการป้อนแรงดันที่ขาเกตเลย



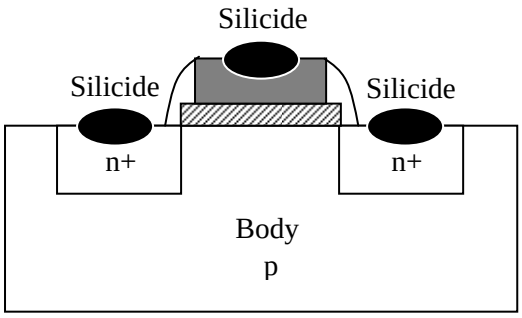
รูปที่ 4 *MOSFET ที่มีการเจือสารวงแหวน*

ปรากฏการณ์ดังกล่าวจะทำให้ MOSFET ไม่สามารถเข้าสู่สภาวะ off อย่างสนิทได้เนื่องจากมีการทะลุผ่าน (punch through) ของประจุไฟฟ้าผ่านบริเวณปลอดพาหะดังกล่าวได้ เทคนิคหนึ่งที่ได้รับนิยมในการแก้ไขปัญหานี้คือการเจือสารวงแหวน (halo doping) ดังรูปที่ 4 เพื่อลดความหนาของบริเวณปลอดพาหะระหว่างซอร์สกับบอดี้และบริเวณปลอดพาหะระหว่างซอร์สกับเดรนลง

2.3 เทคโนโลยีซิลิไซด์

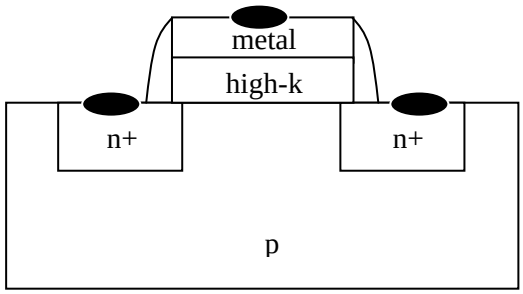
ในช่วงแรกวัสดุที่ใช้เป็นหน้าสัมผัส (contact) เพื่อเชื่อมต่อขาต่าง ๆ ของ MOSFET กับอุปกรณ์อื่น ๆ ภายในวงจรรวมคือโลหะแต่ต่อมาได้มีการเปลี่ยนมาใช้ซิลิไซด์ (Silicide) ดังแสดงในรูปที่ 5 ซึ่ง

เป็นสารประกอบระหว่างโลหะและซิลิกอน อาทิ ไททาเนียมซิลิไซด์ (Titanium Silicide: $TiSi_2$) เทคนิคที่ได้รับความนิยมในการสร้างชั้นซิลิไซด์ดังกล่าวคือเทคนิคการวางชั้นซิลิไซด์แบบเรียงตัวเอง (Self-Aligned Silicide) หรือที่เรียกสั้น ๆ ว่าซาลิไซด์ (Salicide)



รูปที่ 5 *MOSFET ที่ใช้เทคโนโลยีซิลิไซด์*

2.4 การใช้เกตโลหะคู่กับชั้นฉนวนแบบ high-k



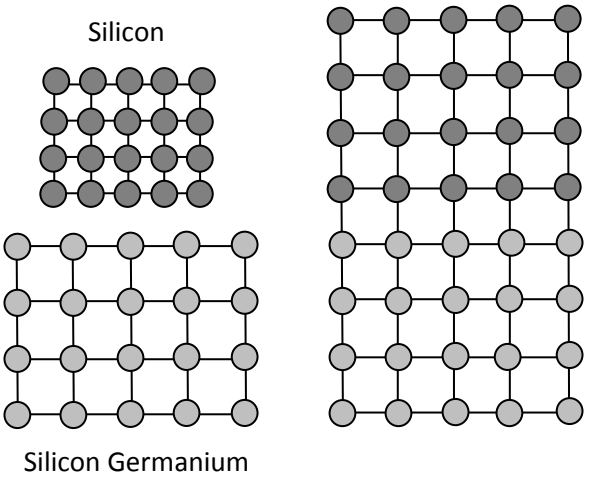
รูปที่ 6 *แสดงภาพตัดขวางของโครงสร้าง MOSFET ที่ใช้เกตโลหะคู่กับชั้นฉนวนแบบ high-K*

การลดขนาด MOSFET ทำให้ต้องมีการลดความหนาของชั้นออกไซด์ใต้เกตไปด้วยเพื่อรักษาความสามารถในการถ่ายเทประจุของ MOSFET ไว้เพื่อให้วงจรมีสมรรถนะด้านความเร็วที่ดี อย่างไรก็ตาม การลดความหนาของชั้นออกไซด์ดังกล่าวจนมีขนาดบางน้อยกว่า 1.2 นาโนเมตร (ซึ่งเท่ากับความหนาของอะตอมเรียงกันเพียง 5 อะตอมเท่านั้น) จะทำให้เกิดปรากฏการณ์อุโมงค์ควอนตัม (quantum tunneling) ส่งผลให้มีกระแสรั่วเกิดขึ้น วิธีหนึ่งที่ช่วยบรรเทาปัญหานี้ได้คือการใช้ซิลิกอนออกซีไนไตรด์ (Silicon Oxynitride: SiON) แทนซิลิกอนไดออกไซด์ แต่ก็ยังช่วยได้ไม่มากนัก ต่อมาบริษัทผู้ผลิตวงจรรวมจึงได้ให้ความสนใจวัสดุที่มีค่าคงตัวไดอิเล็กทริก (dielectric constant) สูงหรือที่เรียกสั้น ๆ ว่าวัสดุ high-k อาทิ สารประกอบของฮาฟเนียม (Hafnium) และเซอร์โคเนียม (Zirconium) ซึ่งสามารถทำให้ได้ชั้นฉนวนที่ไม่บางเกินไป

นอกจากนี้ในช่วงปลายทศวรรษ 1990 ผู้ผลิตวงจรรวมได้เริ่มกลับมาสนใจการใช้โลหะในการสร้างเกตอีกครั้งหนึ่ง [5] ที่เป็นเช่นนี้เนื่องจากเหตุผลหลายประการคือ 1. มีการค้นพบว่าการใช้โพลีซิลิกอนแบบเจือสารเป็นเกตจะทำให้เกิดปรากฏการณ์การเกิดชั้นปลอดพาหะภายในโพลีซิลิกอน (Polysilicon Depletion Effect) ซึ่งส่งผลให้เกิดความแปรปรวนของแรงดันขีดเริ่มของ MOSFET [5] 2. มีการค้นพบว่าชั้นฉนวนแบบ high-k เมื่อเชื่อมต่อกับโลหะจะมีเสถียรภาพที่ดีกว่าเมื่อเชื่อมต่อกับโพลีซิลิกอน และ 3. อะตอมของโบรอนโพลีซิลิกอนแบบเจือสารสามารถหลุดเข้าไปในชั้นฉนวนได้ส่งผลต่อสมรรถนะของทรานซิสเตอร์ ทั้งนี้โลหะที่ได้รับความสนใจในการนำมาสร้างเกตได้แก่ นิกเกิลซิลิไซด์ (Nickel Silicide: NiSi) และไทเนียมไนไตรด์ (Titanium Nitride)

บริษัทที่ริเริ่มการใช้ชั้นฉนวนแบบ high-k คู่กับเกตโลหะ (High-k / Metal Gate) ดังแสดงในรูปที่ 6 หรือที่เรียกย่อย ๆ ว่าเทคโนโลยี HKMG คือบริษัท Intel ซึ่งได้เริ่มต้นใช้กับกระบวนการผลิต 45 นาโนเมตรในปี 2008 [6]

2.5 การยืดโครงผลึก

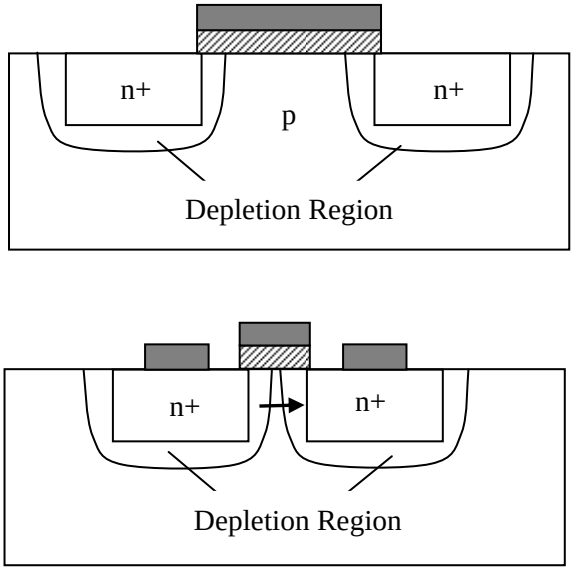


รูปที่ 7 *การยืดโครงผลึกซิลิกอน*

เทคนิคที่สำคัญอีกประการในการผลิตวงจรรวม CMOS คือเทคนิคการยืดโครงผลึกซิลิกอนเพื่อเพิ่มความคล่องตัวของอิเล็กตรอน (electron mobility) ซึ่งจะส่งผลให้อุปกรณ์ MOSFET สามารถทำงานได้รวดเร็วขึ้นมากโดยไม่ทำให้เกิดการรั่วไหลของประจุเพิ่มขึ้น เรานิยมเรียกโครงผลึกซิลิกอนที่ถูกยืดออกนี้ว่าซิลิกอนแบบขึงยืด (strained silicon) [7] วิธีการที่นิยมก็คือการนำโครงผลึกซิลิกอนเข้าไปซ้อนกับโครงผลึกของ สารประกอบซิลิกอนเจอร์มาเนียม (Silicon Germanium: SiGe) ดังแสดงในรูปที่ 7 ทั้งนี้

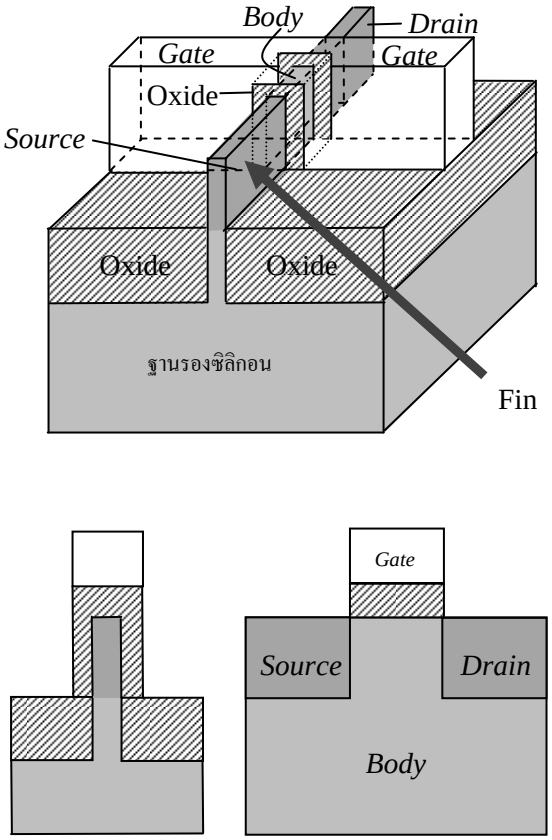
อิเล็กตรอนอิสระภายในโครงผลึกซิลิกอนที่ผ่านการยืดตัวด้วยวิธีการนี้จะเคลื่อนที่เร็วกว่าอิเล็กตรอนในโครงผลึกซิลิกอนปรกติถึง 75 เปอร์เซ็นต์

3. **FinFET ทรานซิสเตอร์สามมิติ**



รูปที่ 8 *การรั่วไหลกระแสในอุปกรณ์MOSFET ที่มีความยาวเกตสั้น*

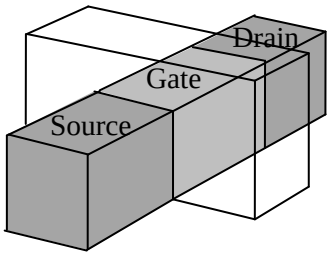
ถึงแม้วิวัฒนาการของการย่อขนาด CMOS ให้เล็กลงไปเรื่อยๆ ในระยะเวลาหลายสิบปีที่ผ่านมาทำให้ได้วงจรรวมที่มีความสามารถสูงขึ้นอย่างมหาศาล แต่การที่ความยาวเกตมีขนาดสั้นมาก ๆ ก็จะทำให้เกิดการรั่วไหลของกระแสได้ดังรูปที่ 8 ซึ่งจะส่งผลกระทบโดยตรงต่อความสามารถในการควบคุมการปิดเปิดอุปกรณ์ของเกต ทั้งนี้ปรากฏการณ์ที่เกี่ยวเนื่องกับปัญหาดังกล่าว อาทิ การลดทอนแรงดันขีดเริ่ม (thresheld voltage roll-off) และการเหนี่ยวนำการลดกำแพงกั้นด้วยแรงดันเดรน (Drain-induced Barrier Lowering: DIBL) จะส่งผลอย่างชัดเจนเมื่อความยาวเกตสั้นกว่า 90 นาโนเมตร ถึงแม้ว่าจะมีความพยายามในการแก้ปัญหาดังกล่าวด้วยวิธีต่าง ๆ อาทิ การเจือวงแหวนที่กล่าวถึงในหัวข้อที่แล้ว แต่กระนั้นการย่อ CMOS ลงไปให้ความยาวเกตมีขนาดเล็กกว่า 30 นาโนเมตรก็เป็นไปได้ยาก



รูปที่ 9 *โครงสร้างของ FinFET*

จากสาเหตุที่กล่าวมาข้างต้น บริษัทผู้ผลิตวงจรรวมจึงได้ให้ความสนใจทรานซิสเตอร์แบบใหม่ที่เรียกว่า FinFET [8] ซึ่งมีโครงสร้างที่ทำให้การควบคุมการปิดเปิดด้วยเกตมีประสิทธิภาพดียิ่งขึ้น จากรูปที่ 9 เราจะเห็นได้ว่าข้อแตกต่างของ FinFET และ MOSFET คือในขณะที่ MOSFET เป็นอุปกรณ์แนวระนาบ (planar) ในทางกลับกัน FinFET เป็นอุปกรณ์แบบสามมิติ กล่าวคือบริเวณซอร์ส เดรน และช่องสัญญาณจะถูกยกสูงขึ้นมาเหมือนเป็นครีบ (Fin) ที่ต่อขึ้นมาจากบริเวณด้านล่าง

จากรูปที่ 10 จะเห็นได้ว่าข้อได้เปรียบประการสำคัญของ FinFET คือการที่เกตห่อหุ้มบริเวณระหว่างซอร์สและเดรนถึงสาม ซึ่งทำให้การควบคุมการปิดเปิดของอุปกรณ์ด้วยแรงดันเกตดีกว่ากรณี MOSFET มากทำให้ FinFET ได้รับการยอมรับว่าจะสามารถมาแทนที่ MOSFET ได้



รูปที่ 10 *โครงสร้างของ FinFET (ไม่แสดงชั้นออกไซด์ใต้เกต)*

บริษัท Intel ได้เริ่มนำ FinFET มาแทนที่ MOSFET ในกระบวนการผลิตเทคโนโลยี 22 นาโนเมตรในปี 2012 ในเวลาต่อมาบริษัทผู้ผลิตวงจรรวมรายใหญ่อื่น ๆ ก็เริ่มทะยอยประกาศว่าจะใช้เทคโนโลยี FinFET อีกหลายบริษัท อาทิ บริษัท GlobalFoundires บริษัท TSMC และบริษัท Samsung [9-11]

ทั้งนี้เป็นที่คาดการณ์ว่า FinFET จะสามารถใช้ได้ไปจนถึงเทคโนโลยีระดับ 5-10 นาโนเมตร หลังจากนั้นผู้ผลิตวงจรรวมจะต้องหันไปใช้เทคโนโลยีใหม่อื่น ๆ โดยเทคโลยีที่ได้รับความสนใจว่ามีศักยภาพได้แก่ท่อนาโนคาร์บอน (carbon nanotube) [12] หรือมิฉะนั้นการลดขนาดวงจรรวมลงไปอีกก็อาจจะไม่มีประโยชน์เชิงเศรษฐศาสตร์อีกต่อไปเพราะต้นทุนที่ใช้ในการผลิตอาจจะสูงเกินไปจนไม่คุ้มค่าก็เป็นได้ [13]

เอกสารอ้างอิง

1. G.E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, vol. 38, No. 8, April 1974.
2. R.H. Dennard, F. H. Gaensslen, H-N Yu, V. L. Rideout, E. Bassous and A. R. Leblanc, “Design of ion-implant MOSFET with very small physical dimensions,” *IEEE Journal of Solid-State Circuits*, vol. 8, pp. 256-268, 1974.
3. F. Gaggin, T. Klein and L. Vadasz, “Insulated gate field effect transistor with silicon gates,” *IEEE International Electron Devices Meeting (IDEM) Technical Digest*, Washington D. C., 1968.
4. K. Jain., C. G. Wilson and B. J. Lin, “Ultrafast deep-UV lithography with excimer lasers”, *IEEE Electron Device Letters*, Vol. EDL-3, 53, 1982.
5. J. C. Hu, et al. Feasibility of Using W/TiN as Metal Gate for Conventional 0.13 Pm CMOS Technology and Beyond. ,” *International Electron Devices Meeting (IEDM) Technical Digest*, 1997.
6. K. Mistry, C. Allen, C. Auth, B. Beattie, D. Bergstrom, M. Bost, M. Brazier, M. Buehler, A. Cappelani, R. Chau, C.-H. Choi, G. Ding, K. Fischer, T. Ghani, R. Grover, W. Han, D. Hanken, M. Hattendorf, J. He, J. Hicks, R. Huessner, D. Ingerly, P. Jain, R. James, L. Jong, S. Joshi, C. Kenyon, K. Kuhn, K. Lee, H. Liu, J. Maiz, B. McIntyre, P. Moon, J. Neirynck, S. Pae, C. Parker, D. Parsons, C. Prasad, L. Pipes, M. Prince, P. Ranade, T. Reynolds, J. Sandford, L. Shifren, J. Sebastian, J. Seiple, D. Simon, S. Sivakumar, P. Smith, C. Thomas, T. Troeger, P. Vandervoorn, S. Williams, K. Zawadzki, “A 45nm logic technology with high-k+metal gate transistors, strained silicon, 9 Cu interconnect layers, 193nm dry patterning, and 100% Pb-free packaging,” *International Electron Devices Meeting (IEDM) Technical Digest*, pp. 247-250, Dec. 2007.
7. Y. Sun, S. E. Thompson and T. Nishida, "Physics of strain effects in semiconductors and metal-oxide-semiconductor field-effect transistors," *Journal of Applied Physics*, 2007.
8. X. Huang, W-C Lee, C Kuo, D. Hisamoto, L. Chang, J. Kedzierski, E. Anderson, H. Takeuchi, Y-K Choi, K. Asano, V. Subramanian, T-J King, J. Bokor and C. Hu, , "Sub 50-nm FinFET: PMOS" *International Electron Devices Meeting (IEDM) Technical Digest*, December 1999.
9. "Globalfoundries looks leapfrog fab rivals with new process". EE Times. *Retrieved 2014-03-10*.
10. J. Lien and Steve Shen,."TSMC likely to launch 16 nm FinFET+ process at year-end 2014, and "FinFET Turbo" later in 2015-16,” DIGITIMES. *Retrieved 2014-03-31*.
11. R. Merritt, ”FinFETs race toward silicon,” EE Times, Oct 2015., *Retrieved 2015-10-3*.
12. K. G. Orphanides, “IBM carbon nanotube breakthrough takes processor beyond silicon,” Wired, Oct 2015.
13. A. Mallik, J. Ryckaert, A. Mercha, D Verkest, K. Ronse, and A. Thean, "Maintaining Moore’s law: enabling cost-friendly dimensional scaling." *SPIE Advanced Lithography*. International Society for Optics and Photonics, April, 2015