การออกแบบวงจรมอดูเลตสัญญาณทางเฟสแบบหลายตำแหน่ง
The Design of M-ary Phase Shift Keying Modulation

พิเชษฐ์ วิสารทพงศ์
ภาควิชาศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร
Email: wpichet@mut.ac.th

ปราโมทย์ วาดเขียน
ภาควิชาศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
Email: pramote@telcom.kmitl.ac.th

Manuscript received March 1, 2018
Revised June 20, 2018

บทคัดย่อ

บทความนี้นำเสนอ หลักการออกแบบวงจรมอดูเลตสัญญาณดิจิตอลทางเฟส ที่มีการเปลี่ยนเฟสหลายตำแหน่ง (M-ary) โดยเฉพาะกรณีที่ M มีค่าเป็นเลขคี่ ด้วยการเพิ่มอินพุตให้กับวงจรแปลงสัญญาณดิจิตอลเป็นแอนะล็อก ให้มีความสมดุลทั้งสองด้านด้วยการใช้ความสัมพันธ์ของอินพุตทั้งหมดมาลดรูปด้วย K-Map ก่อนทำการคูณสัญญาณเอาต์พุตของ DAC กับคลื่นพาห์ และนำสัญญาณมารวมกันเพื่อให้ได้สัญญาณมอดูเลตทางเฟสที่มีการเปลี่ยนแปลงตามต้องการได้นอกจากนี้แล้วหลักการที่นำเสนอยังสามารถใช้กับกรณีที่ M มีค่าเป็นเลขคู่ได้อีกด้วย

คำสำคัญ มอดูเลตสัญญาณดิจิตอล มอดูเลตสัญญาณทางเฟส

ABSTRACT

In this paper presents the design of M-ary phase modulation, especially when M is odd number. By adding dummy input data into a DAC circuit, in order to make an input balance on both sides of DACs by using the relation of all inputs to reduce the complexity of circuit with K-Map before multiplying this signal by carrier signal. After that, combine those signals to obtain the phase modulated signal as desired. The simulation results shown that the status of phase signals is changed correctly.In addition, the proposed method can be used for cases where M is even value.

Keyword Digital Modulation, Phase Modulation, PSK

1. บทนำ

เทคนิคการมอดูเลตสัญญาณดิจิตอลทางเฟส (Phase Shift Keying, PSK) เป็นการมอดูเลตชนิดหนึ่งที่ได้รับความนิยมในระบบสื่อสารข้อมูลทางดิจิตอล เช่น การสื่อสารระบบดาวเทียม การสื่อสารไร้สาย การสื่อสารแบบเคลื่อนที่ รวมถึงระบบการส่งสัญญาณโทรทัศน์แบบดิจิตอลในปัจจุบัน ไบโอเมตริกที่ใช้งานแบบไร้สัมผัสพร้อมกับการสื่อสาร RFID และ Bluetooth [1] – [3] การสื่อสารแบบไร้สายที่กำลังเกิดขึ้นผ่านความก้าวหน้า และความท้าทายที่รวดเร็วนี้ได้แสดงให้เห็นถึงความต้องการที่เพิ่มขึ้นในการส่ง และรับสัญญาณแบบ M-ary PSK ที่ให้อัตราข้อมูลที่สูงขึ้น เพื่อให้สามารถรองรับปริมาณของข้อมูลที่มีมากมายหลากหลายรูปแบบ

สำหรับการสร้างการเข้ารหัส แบบ PSK นั้นสามารถแบ่งได้เป็นสองประเภทใหญ่ๆได้แก่การเข้ารหัสด้วยวิธีทางแอนะล็อกโดยใช้การทำงานของวงจร ที่ประกอบไปด้วยวงจร DAC, วงจรคูณสัญญาณ และวงจรบวกสัญญาณจัดรูปแบบให้เป็นไปตาม สมการ quadratic $s(t)=a_n\cos(\omega t)+b_n\sin(\omega t)$ [4] ส่วนวิธีที่สองจะใช้หลักการของการประมวลผลทางดิจิตอล[5] ด้วยอัลกอริธึมหรือโปรแกรมที่ประมวลผลด้วยไมโครโปรเซสเซอร์ ซึ่งปัญหาหลักของการเข้ารหัส PSK ชนิดแอนะล็อกคือการแมปปิ้งค่าของบิตข้อมูลดิจิตอลเข้ากับวงจร DAC (Digital to Analog Convertor) ทั้งสองตัว ที่ให้ค่าเอาต์พุตเป็นสัญญาณแอนะล็อก a_n และ b_n ซึ่งจะส่งผลต่อการแมปข้อมูลไปเป็นสัญญาณ PSK โดยรวม โดยเฉพาะอย่างยิ่งเมื่อจำนวนบิตข้อมูลเป็นจำนวนคี่จะเกิดความไม่สมมาตรของบิตข้อมูลที่ป้อนให้กับ DAC ทั้งสองและจำเป็นต้องหาบิตข้อมูลลวงเพื่อใช้เป็นบิตชดเชยให้กับ DAC ตัวที่มีบิตข้อมูลที่เกิดจากการแมปปิ้งต่ำกว่า

จากการสืบค้นยังไม่พบว่ามีการออกแบบเพื่อแก้ปัญหาดังกล่าวอย่างเป็นระบบและแป็นสากลทั่วไป โดยใช้กับจำนวนบิตเท่าใดก็ได้ ดังนั้นในบทความนี้ได้นำเสนอ วิธีการออกแบบวงจรมอดูเลตสัญญาณทางเฟสที่มีตำแหน่งการเปลี่ยนเฟสหลายตำแหน่ง (M-ary PSK) โดยการหาบิตลวง ด้วยการนำบิตข้อมูลอินพุตทั้งหมดมาหาความสัมพันธ์ เพื่อให้ได้เอาต์พุตเป็นบิตลวงด้วยวิธีการ K-map ซึ่งเป็นวิธีการสากล และใช้ได้กับจำนวนบิตข้อมูลคี่ใด ๆ ก็ได้ ซึ่งการจัดองค์ประกอบบทความเป็นดังนี้คือหัวข้อที่ 2 เป็นหลักการพื้นฐานของการมอดูเลตของ PSK โดยทั่วไป หัวข้อที่ 3 เป็นหลักการออกแบบ PSK ที่นำเสนอ หัวข้อที่ 4 ผลการจำลองแบบการทำงาน และ หัวข้อที่ 5 เป็นการสรุปผลของการออกแบบที่นำเสนอ

2. หลักการพื้นฐาน

โดยทั่วไปการมอดูเลตสัญญาณหรือการผสมสัญญาณจะต้องประกอบด้วยสัญญาณ 2 สัญญาณมาผสมกันระหว่าง ข้อมูล(Data) และคลื่นพาห์ (Carrier) สัญญาณที่ 1 และ 2 ตามลำดับ แสดงดังรูปที่ 1 โดยที่คลื่นพาห์จะมีคุณสมบัติตามสมการที่ (1)

$$S(t)=A\cos(2\pi ft+\phi) \quad (1)$$

เมื่อ

A คือ ขนาดของคลื่นพาห์
f คือ ความถี่ของคลื่นพาห์
ϕ คือ เฟสของคลื่นพาห์

ส่วนข้อมูลอินพุตที่เข้ามาจะเป็นข้อมูลดิจิตอลที่อาจมีได้ 2 ระดับหรือหลายระดับ เช่น หากมี 2 ระดับบางครั้งจะเรียกว่าแบบไบนารี่ (Binary) หากมีหลายระดับ จะมีลักษณะที่เรียกว่าแบบ M-ary เป็นต้น

2.1 การมอดูเลตสัญญาณดิจิตอล 2 ระดับ

เมื่อข้อมูลดิจิตอลอินพุต ที่มีการเปลี่ยนแปลง 2 ระดับ (binary) เข้ามอดูเลตสัญญาณกับคลื่นพาห์จะส่งผลให้คุณสมบัติต่าง ๆ ของคลื่นพาห์มีการเปลี่ยนแปลงไปในลักษณะที่แตกต่างกัน 3 แบบคือ

1) การมอดูเลตสัญญาณทางขนาด (Amplitude Shift Keying, ASK) การมอดูเลตสัญญาณชนิดนี้ ข้อมูลดิจิตอลอินพุตจะไปกระทำให้ขนาดของคลื่นพาห์มีการเปลี่ยนแปลงไปตามข้อมูลอินพุตเพียงอย่างเดียว ส่วนความถี่จะมีค่าเท่าเดิมตลอดดังตัวอย่างในรูปที่ 1 สัญญาณที่ 3 นับจากด้านบน และแสดงในรูปแบบสมการคณิตศาสตร์ได้ดังสมการที่ (2)

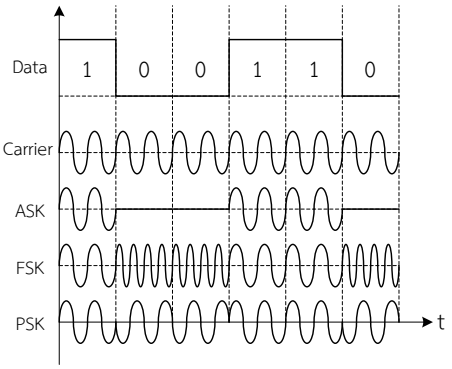
$$S_{ASK}(t)=\begin{cases} A\cos(\omega_C t+\phi) & ;m(t)=1 \\ 0 & ;m(t)=0 \end{cases} \quad (2)$$

2) การมอดูเลตสัญญาณทางความถี่ (Frequency Shift Keying, FSK) วิธีการมอดูเลตแบบนี้ ข้อมูลจะกระทำให้ความถี่ของคลื่นพาห์มีการเปลี่ยนแปลงไป 2 ความถี่ แต่ขนาดสัญญาณจะมีค่าเท่ากันตลอด ดังตัวอย่างในรูปที่ 1 สัญญาณที่ 4 นับจากด้านบน และแสดงในรูปแบบสมการคณิตศาสตร์ได้ดังสมการที่ (3)

$$S_{FSK}(t)=\begin{cases} A\cos(2\pi f_1 t+\phi) & ;m(t)=1 \\ A\cos(2\pi f_2 t+\phi) & ;m(t)=0 \end{cases} \quad (3)$$

3) การมอดูเลตสัญญาณทางเฟส (Phase Shift Keying, PSK) วิธีการมอดูเลตแบบนี้ ข้อมูลจะกระทำให้เฟสของคลื่นพาห์มีการเปลี่ยนแปลง 2 สถานะ แต่ขนาดและความถี่สัญญาณจะมีค่าเท่ากันตลอด ดังตัวอย่างในรูปที่ 1 สัญญาณที่ 5 นับจากด้านบน และแสดงในรูปแบบสมการคณิตศาสตร์ได้ดังสมการที่ (4)

$$S_{PSK}(t)=\begin{cases} A\cos(\omega_C t+(\phi)) & ;m(t)=1 \\ A\cos(\omega_C t+(\phi+\pi)) & ;m(t)=0 \end{cases} \quad (4)$$



รูปที่ 1*ตัวอย่างสัญญาณการมอดูเลตแบบต่าง ๆ*

2.2 การมอดูเลตสัญญาณดิจิตอลทางเฟส หลายระดับ

การมอดูเลตทางเฟสได้มีการพัฒนาให้สามารถส่งข้อมูลได้ในปริมาณที่สูงมากขึ้นเรื่อย ๆ ทั้งนี้จากกรณีพื้นฐานที่มีการส่งข้อมูลอนุกรมครั้งละ 1 บิต (แบบไบนารี) จะทำให้มีสถานะของการเปลี่ยนเฟสสัญญาณ 2 เฟส หากต้องการเพิ่มจำนวนสถานะของการเปลี่ยนเฟสให้มากขึ้น จำเป็นต้องมีการเพิ่มจำนวนบิตข้อมูลที่ต้องการส่งด้วยเช่นกัน ดังสมการความสัมพันธ์ในสมการที่ (5) และสมการที่ (6)

$$M = 2^n \quad (5)$$

เมื่อ M คือ จำนวนสถานะของการเปลี่ยนเฟสที่เกิดขึ้น

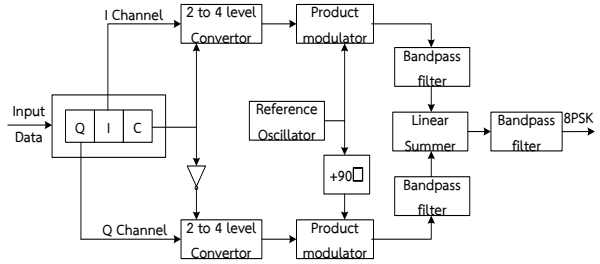
n คือ จำนวนบิตข้อมูล

$$\phi_i = \frac{2\pi i}{M} \quad (6)$$

เมื่อ ϕ_i คือ ค่ามุมเฟสคลื่นพาห์ตำแหน่งที่ i

i คือ ลำดับที่ 0, 1, 2, ..., M-1

ตัวอย่างในรูปที่ 2 แสดงบล็อกไดอะแกรมการสร้างสัญญาณมอดูเลตทางเฟส ที่มีการเปลี่ยนสถานะตำแหน่งเฟส 8 ตำแหน่ง [6] ซึ่งได้ถูกออกแบบมาเฉพาะในกรณี 8PSK เท่านั้น



รูปที่ 2 บล็อกไดอะแกรมการสร้างสัญญาณ 8PSK [6]

3. การออกแบบการเข้ารหัสทางเฟสที่นำเสนอ

ในส่วนของการออกแบบ สามารถทำได้ตามขั้นตอนดังนี้

I. เขียนตารางความสัมพันธ์ระหว่างขนาดและมุมเฟสที่ต้องการออกแบบ

II. หาค่าความสัมพันธ์ของบิตข้อมูลอินพุต DAC ที่มีเอาต์พุตเป็น a_n และ b_n

III. นำความสัมพันธ์ในข้อ I และ II มาเขียนเชื่อมโยงความสัมพันธ์เป็นตารางเดียวกัน

IV. พิจารณารูปแบบทั้งหมดของบิตข้อมูลอินพุตที่เป็นไปได้จำนวน n บิต พร้อมทั้งพิจารณาเลือกกลุ่มของบิต D_{ai} และ D_{bi} รวมกันจำนวน n บิตให้ครบตรงกับรูปแบบบิตข้อมูลที่เป็นไปได้ทั้งหมด

V. ในกรณีที่ n เป็นจำนวนคู่ บิต D_{ai} และ D_{bi} จะเท่ากับจำนวนจำนวนบิตข้อมูลอินพุต จำนวน n บิตพอดี

ในกรณีที่ n เป็นจำนวนคี่ บิต D_{ai} และ D_{bi} จะมีจำนวนมากกว่าบิตข้อมูล (n บิต) อยู่หนึ่งบิต จากนั้นให้หาความสัมพันธ์ของบิตส่วนเกิน ด้วยการใช้ K-map โดยมีจำนวนข้อมูล n บิตเป็นอินพุต และส่วนบิตที่เกินมาใช้เป็นเอาต์พุต

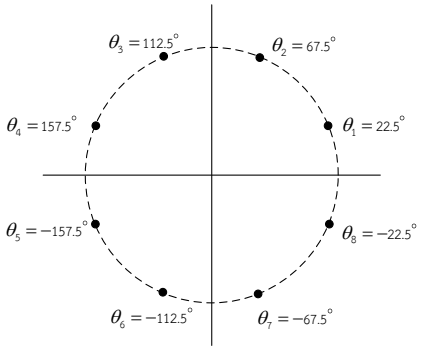
VI. เขียนบล็อกไดอะแกรมการมอดูเลตสัญญาณพร้อมทั้งวงจรจากการทำ K-map และสรุปความสัมพันธ์ระหว่างบิตข้อมูลอินพุตกับมุมเฟสของสัญญาณ

ในส่วนถัดไปนี้จะเป็นตัวอย่างการนำเสนอวิธีการออกแบบการมอดูเลตสัญญาณทางเฟส ที่มีการเปลี่ยนสถานะตำแหน่งของเฟสทั้งหมด 8 ตำแหน่ง โดยใช้ข้อมูลในการส่งครั้งละ 3 บิต (n=3) มีรายละเอียดดังนี้

ตารางที่ 1 *การกำหนดตำแหน่งเฟส และระดับสัญญาณบนแกน IQ*

A	θ	a_n	b_n
A_1	θ_1	$A_1\cos\theta_1$	$A_1\sin\theta_1$
A_2	θ_2	$A_2\cos\theta_2$	$A_2\sin\theta_2$
A_3	θ_3	$A_3\cos\theta_3$	$A_3\sin\theta_3$
:	:	:	:
A_n	θ_n	$A_n\cos\theta_n$	$A_n\sin\theta_n$

ตัวอย่าง การเข้ารหัส 8PSKโดยมีขนาด $A=A_1=A_2=A_3=...=A_8=1$และแสดง Constellation Diagram ดังรูปที่ 3



รูปที่ 3 *Constellation Diagram 8PSK*

3.1 (ขั้นตอนที่ I.) การออกแบบจะเริ่มจากการกำหนดเฟสและขนาด เพื่อให้ระบบสามารถทำงานได้อย่างราบรื่น ไม่ติดขัด และไม่ต้องใช้กระบวนการอื่นเพื่อสร้างเงื่อนไข หรือการขัดจังหวะ และทำให้เกิดความซับซ้อนต่ำลง โดยแสดงดังตารางที่ 2

3.2 (ขั้นตอนที่ II.) พิจารณาค่า a_n และ b_n เพื่อหาความสัมพันธ์ระหว่างข้อมูลดิจิตอล กับระดับสัญญาณแอนะล็อก a_n และ b_n ในฐานะของตัวแปลงข้อมูลดิจิตอลเป็นสัญญาณแอนะล็อก (DAC) และจากข้อมูลในตารางที่ 2 พบว่า ค่า a_n และ b_n สามารถแสดงได้ดัง

ตารางที่ 3 โดยเรียงลำดับจากค่าน้อยไปหาค่าที่มากที่สุด และทำการแมปค่าแอนะล็อกเข้ากับบิตข้อมูลดิจิตอล สำหรับค่า a_n และ b_n ในตารางนี้จะเห็นว่าค่า a_n และ b_n ที่ได้มีค่าที่แตกต่างกัน 4 ค่า ดังนั้น DAC ที่ใช้งานจะมีขนาดของบิตข้อมูลอินพุตจำนวน 2 หลัก

ตารางที่ 2 *ความสัมพันธ์ระหว่าง A, θ, a_n, b_nในการกำหนดตำแหน่งเฟสของสัญญาณ*

A	θ	a_n	b_n
1	22.5	0.924	0.382
1	-22.5	0.924	-0.382
1	67.5	0.382	0.924
1	-67.5	0.382	-0.924
1	112.5	-0.382	0.924
1	-112.5	-0.382	-0.924
1	157.5	-0.924	0.382
1	-157.5	-0.924	-0.382

ตารางที่ 3 *ความสัมพันธ์การทำงานของบล็อก DAC*

DAC1			DAC2		
a_n	D_{a1}	D_{a0}	b_n	D_{b1}	D_{b0}
-0.924	0	0	-0.924	0	0
-0.382	0	1	-0.382	0	1
+0.382	1	0	+0.382	1	0
+0.924	1	1	+0.924	1	1

3.3 (ขั้นตอนที่ III.) นำค่าที่ได้ในตารางที่ 2 และ 3 มาเขียนรวมเป็นตารางเดียวกันเพื่อให้เห็นความสัมพันธ์ทั้งหมด ดังตารางที่ 4

ตารางที่ 4 *ความสัมพันธ์ระหว่างมุมเฟส ระดับสัญญาณบนแกน IQ และค่าอินพุตดิจิตอล*

A	θ	a_n	b_n	D_{a1}	D_{a0}	D_{b1}	D_{b0}
1	22.5	0.924	0.382	1	1	1	0
1	-22.5	0.924	-0.382	1	1	0	1
1	67.5	0.382	0.924	1	0	1	1
1	-67.5	0.382	-0.924	1	0	0	0
1	112.5	-0.382	0.924	0	1	1	1
1	-112.5	-0.382	-0.924	0	1	0	0
1	157.5	-0.924	0.382	0	0	1	0
1	-157.5	-0.924	-0.382	0	0	0	1

3.4 (ขั้นตอนที่ IV.) นำค่าในตารางที่ 4 มาทำการหาค่า (หรือกำหนด) ความสัมพันธ์ระหว่างบิตข้อมูลทั่วไปที่จะนำมาเข้ารหัส ซึ่งในที่นี้จะมีจำนวน 3 บิต ($D_2\ D_1\ D_0$) ซึ่งจะได้รูปแบบข้อมูลที่แตกต่างกันจำนวน 8 รูปแบบ

พิจารณาจาก D_{a1}, D_{a0}, D_{b1}, D_{b0} โดยการจัดกลุ่มๆ ละ 3 บิต สามารถจัดได้ 4 รูปแบบ คือ {(D_{a1}, D_{a0}, D_{b1}),(D_{a0}, D_{b1}, D_{b0}), (D_{b1}, D_{b0}, D_{a1}) และ (D_{b0}, D_{a1}, D_{a0})}ซึ่งถ้าพิจารณาบิตข้อมูล จากตารางที่ 5 จะพบว่ามีรูปแบบของข้อมูลครบทั้งหมด 8 รูปแบบ คือ 000, 001, 010, 011, 100, 101, 110 และ 111 ซึ่งในการออกแบบจะเลือกใช้กลุ่มบิตกลุ่มไหนก็ได้ ในที่นี้จะเลือก (D_{a1}, D_{a0}, D_{b1})แสดงให้ดูเพียงตัวอย่างเดียว

ตารางที่ 5 *กลุ่มของข้อมูล (D_{a1}, D_{a0}, D_{b1}, D_{b0}) ที่จัดกลุ่ม 3 บิตได้ 4 รูปแบบ*

แบบที่ 1			**แบบที่ 2**			**แบบที่ 3**			**แบบที่ 4**		
D_{a1}	D_{a0}	D_{b1}	D_{a0}	D_{b1}	D_{b0}	D_{b1}	D_{b0}	D_{a1}	D_{bo}	D_{a1}	D_{a0}
1	1	1	1	1	0	1	0	1	0	1	1
1	1	0	1	0	1	0	1	1	1	1	1
1	0	1	0	1	1	1	1	1	1	1	0
1	0	0	0	0	0	0	0	1	0	1	0
0	1	1	1	1	1	1	1	0	1	0	1
0	1	0	1	0	0	0	0	0	0	0	1
0	0	1	0	1	0	1	0	0	0	0	0
0	0	0	0	0	1	0	1	0	1	0	0

ตารางที่ 6 *ภาพรวมของการเปรียบเทียบค่าตัวแปรต่าง ๆ ในการออกแบบระบบ*

A	θ	a_n	b_n	D_{a1}	D_{a0}	D_{b1}	D_{b0}	D_2	D_1	D_0
1	22.5	0.924	0.382	1	1	1	0	1	1	1
1	-22.5	0.924	-0.382	1	1	0	1	1	1	0
1	67.5	0.382	0.924	1	0	1	1	1	0	1
1	-67.5	0.382	-0.924	1	0	0	0	1	0	0
1	112.5	-0.382	0.924	0	1	1	1	0	1	1
1	-112.5	-0.382	-0.924	0	1	0	0	0	1	0
1	157.5	-0.924	0.382	0	0	1	0	0	0	1
1	-157.5	-0.924	-0.382	0	0	0	1	0	0	0

ทำการเขียนข้อมูล (D_2 D_1 D_0) เพิ่มเข้าไปในตารางที่ 4 จะได้ความสัมพันธ์ดังตารางที่ 6 ทำการจับคู่บิต (D_2 D_1 D_0) กับรูปแบบของ (D_{a1}, D_{a0}, D_{b1}, D_{b0}) ที่เลือกไว้คือ (D_{a1}, D_{a0}, D_{b1}) แสดงดังตารางที่ 7

3.5 (ขั้นตอนที่ V.) หาค่า D_{ma} และ D_{mb} โดยการใช้ Karnaughmap โดยให้ D_2, D_1, D_0 เป็นข้อมูลด้านอินพุต ส่วน D_{ma} และ D_{mb} แทนสัญญาณเอาต์พุตได้ดังตารางที่ 8

ตารางที่ 7 *การจับคู่บิตข้อมูล ในการมอดูเลตของ (D_2 D_1 D_0) กับ (D_{a1}, D_{a0}, D_{b1})*

D_{a1}	D_{a0}	D_{b1}	D_{b0}	$D_2 = D_{a1}$	$D_1 = D_{a0}$	$D_0 = D_{b1}$
1	1	1	0	1	1	1
1	1	0	1	1	1	0
1	0	1	1	1	0	1
1	0	0	0	1	0	0
0	1	1	1	0	1	1
0	1	0	0	0	1	0
0	0	1	0	0	0	1
0	0	0	1	0	0	0

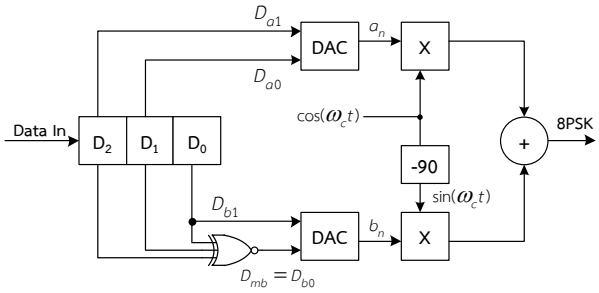
ตารางที่ 8 *การกำหนดสถานะเพื่อหาค่า D_{mb}*

อินพุต			เอาต์พุต
D_2	D_1	D_0	$D_{b1}=D_{mb}$
1	1	1	0
1	1	0	1
1	0	1	1
1	0	0	0
0	1	1	1
0	1	0	0
0	0	1	0
0	0	0	1

จากตารางค่าความจริงที่ต้องของตารางที่ 8 ทำการออกแบบวงจรด้วย K-map จะได้ผลลัพธ์เป็น

$$D_{mb} = D_{b0} = \overline{D_2 \oplus D_1 \oplus D_0} \tag{7}$$

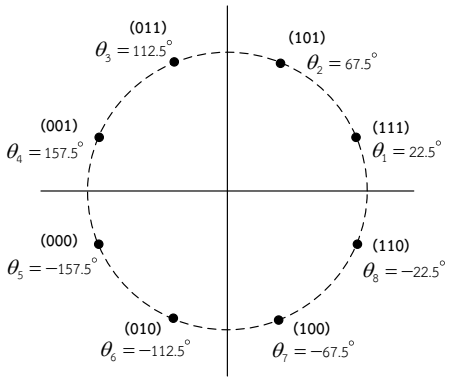
3.6(ขั้นตอนที่ VI.) ถ้าเลือกรูปแบบการแมบค่าตามตารางที่ 6 จะได้วงจรการสร้างสัญญาณมอดูเลตสัญญาณทางเฟส ดังรูปที่ 4 มี constellation diagram ดังรูปที่ 5 และได้ข้อสรุปการ จับคู่ของกลุ่มบิตข้อมูลกับมุมเฟส ดังตารางที่ 9



รูปที่ 4 *บล็อกไดอะแกรมการสร้างสัญญาณ 8PSK แบบที่1*

4. การจำลองระบบ

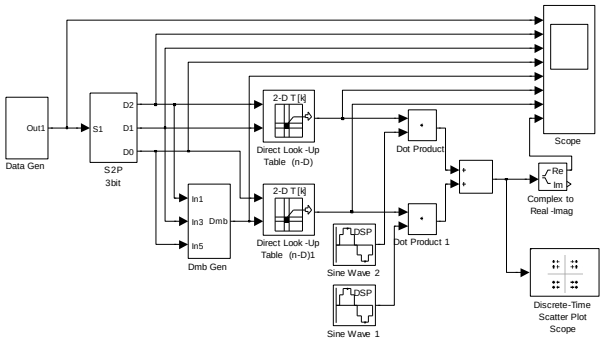
จากการออกแบบที่ได้นำเสนอมาในหัวข้อที่ผ่านมา และนำมาจำลองระบบด้วย Toolbox Simulink ของโปรแกรม MATLABเพื่อทดสอบการออกแบบการมอดูเลตสัญญาณทางเฟสที่มีการเปลี่ยนแปลงตำแหน่งของเฟสสัญญาณ 8 ตำแหน่งดังรูปที่ 6 และรูปที่ 7



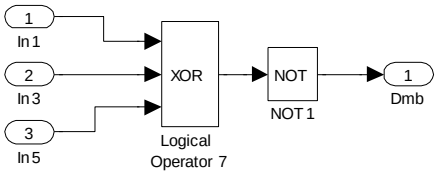
รูปที่ 5 *รูปแบบข้อมูลและตำแหน่งของการเปลี่ยนเฟส*

ตารางที่ 9 *ตำแหน่งเฟสสัญญาณเทียบกับข้อมูลอินพุต*

A	θ	D_2	D_1	D_0
1	22.5	1	1	1
1	-22.5	1	1	0
1	67.5	1	0	1
1	-67.5	1	0	0
1	112.5	0	1	1
1	-112.5	0	1	0
1	157.5	0	0	1
1	-157.5	0	0	0

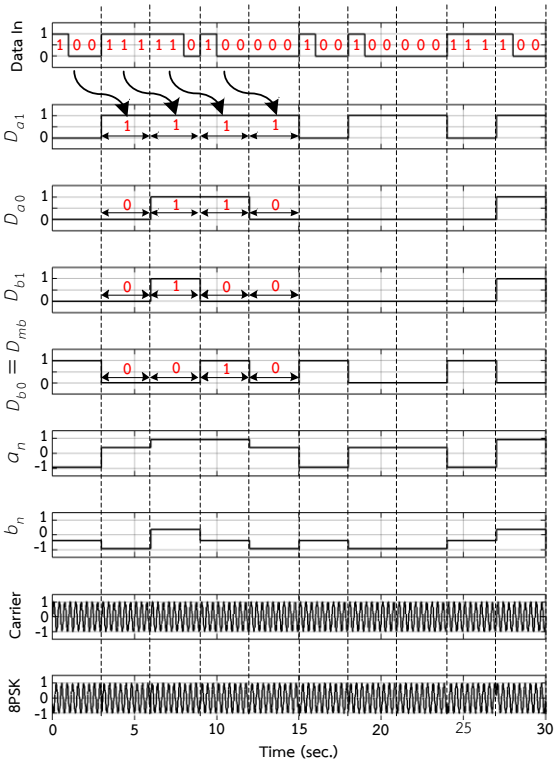


รูปที่ 6 *บล็อกไดอะแกรมจำลองการมอดูเลตสัญญาณแบบ 8PSK ที่ได้ออกแบบ*

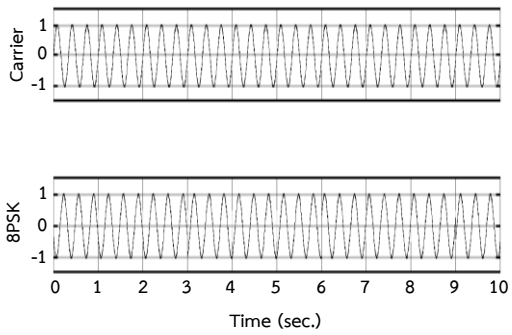


รูปที่ 7 *บล็อกไดอะแกรมการสร้างสัญญาณ D_{mb}*

รูปที่ 8 เป็นผลการจำลองระบบการสร้างสัญญาณ 8PSK เพื่อทดสอบความถูกต้องของสัญญาณในตำแหน่งต่าง ๆ โดยสัญญาณที่ 1 เป็นข้อมูลที่ได้จากการสุ่มแบบอนุกรมเข้ามาในระบบ จากนั้นจะทำการแยกข้อมูลออกเป็น 3 บิต คือ D_{a1}, D_{a0}, D_{b1}และมีการสร้างสัญญาณ D_{b0} อีก 1 บิต โดยข้อมูลดังกล่าวจะถูกแทนลงใน D_2, D_1, D_0 และ D_{mb} ตามลำดับจากนั้นคู่ข้อมูล D_{a1}, D_{a0}และ D_{b1}, D_{b0}จะถูกแยกและส่งไปยังบล็อก DAC ขนาด 2 บิต เพื่อสร้างสัญญาณ a_nและ b_n ซึ่งเป็นสัญญาณแอนะล็อกที่มีระดับสัญญาณที่แตกต่างกัน 4 ระดับ คือ -0.924, -0.382, 0.382 และ 0.924 และสัญญาณ a_n กับ b_n นี้จะถูกมอดูเลตกับคลื่นพาห์ (IQ Modulation)



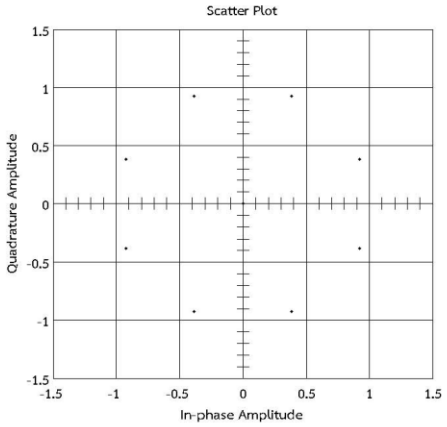
รูปที่ 8 *ผลการแยกข้อมูลและการจัดระดับสัญญาณ*



รูปที่ 9 *ภาพขยายสัญญาณ 8PSK รูปที่ 10 ช่วงเวลา 0-10 วินาที*

จากรูปที่ 9 ก็จะเห็นได้ว่าที่วินาทีที่ 3, 6 และ 9จะมีการเปลี่ยนแปลงเฟสที่เกิดจากการมอดูเลตเมื่อเทียบกับคลื่นพาห์แล้วเป็นมุมม -67.5, 22.5 และ -22.5 ตามลำดับ

เมื่อนำสัญญาณที่มอดูเลตแล้วทั้งด้าน I และ Q มารวมกันจะได้สัญญาณมอดูเลตทางเฟสที่มีการเปลี่ยนเฟสได้ทั้งหมด 8 ตำแหน่งดังรูปที่ 10



รูปที่ 10 *Constellation Diagramแบบที่1*

ตารางที่ 10 *ผลการเปรียบเทียบค่า EVM*

	RMS		
	นำเสนอแบบ 1	นำเสนอแบบ 2	[6]
EVM	39.088%	39.082%	39.082%

จากตารางที่ 10 เป็นผลที่ได้จากการเปรียบเทียบเปอร์เซ็นต์ความผิดพลาดของขนาดสัญญาณและตำแหน่งมุมเฟสของสัญญาณ (Error Vector Magnitude, EVM) ที่ได้จากแบบจำลองในกรณีที่ 1, 2 และ [6] ซึ่งจะเห็นว่าค่าความผิดพลาดที่ได้จะมีค่าที่ใกล้เคียงกันมาก ซึ่งสามารถนำไปใช้งานทดแทนกันได้ ส่วนค่าความผิดพลาดที่เกิดขึ้นนี้ส่วนใหญ่จะเป็นผลที่เกิดจากความละเอียดในการกำหนดค่าแรงดันในวงจร DAC และความละเอียดในการประมวลผลจากโปรแกรม

5. สรุปผล

จากที่ได้นำเสนอวิธีการออกแบบการมอดูเลตสัญญาณดิจิตอลทางเฟส ที่มีสถานะของการเปลี่ยนตำแหน่งของเฟสสัญญาณทั้งหมด 8 ตำแหน่งจากการส่งข้อมูลครั้งละ 3 บิตนี้ แสดงให้เห็นว่าทั้งสองวิธีสามารถเพิ่มความสัมพันธ์ของบิตข้อมูลอินพุตอีก 1 บิตเป็นจำนวนรวมทั้งหมด 4 บิต ทำให้เราสามารถแบ่งกลุ่มข้อมูลได้เป็น 2 ชุดที่เท่ากัน เพื่อความสะดวกในการกำหนดเงื่อนไขของวงจรแปลงสัญญาณ (DAC) และทำการมอดูเลตให้ได้สัญญาณตามต้องการ ซึ่งผลการออกแบบและการจำลองระบบได้แสดงให้เห็นว่าการมอดูเลตสัญญาณทางเฟสนั้นสามารถทำงานได้อย่างถูกต้องเป็นอย่างดี

เอกสารอ้างอิง

[1] PradeeptiBisht, M. Shukla and Saurabh Mishra, “M-ARY PSK Scheme in Cellular Environment”, International ournal of Computer Applications (0975–8887), Volume 99, No.12, August 2014.

[2] Md. EmdadulHaque, Md. GolamRashed, M. HasnatKabir, “A Comprehensive Study AndPerformance Comparison OfM-Ary Modulation Schemes For An Efficient Wireless Mobile Communication System”, International Journal of Computer Science, Engineering and Applications (IJCSEA) Vol.1, No.3, June 2011.

[3] UmerJaved, Di He and Peilin Liu, “Performance Characterization of a Hybrid Satellite-Terrestrial System with Co-Channel Interference over Generalized Fading Channels”, Sensors, Vol. 16, 2016.

[4] SklarB.,“Digital Communications: Fundamentals and Applications”, Prentice-Hall, 2nd Edition, 2001.

[5] Daniel Santana Gomez, I. A. Aguirre-Hernandez, Y. L. Rodriguez-Guarneros, Javier Eduardo Gonzalez Villarruel, “PSK Digital Modulation DSP Implemen-tation Applied to Software Radio”, Proceedings of the Electronics, Robotics and Automotive Mechanics Conference (CERMA'06), 2006.

[6] Wayne Tomasi, “Advanced Electronic Communi-cations Systems”,Pearson Education Limitation, 2014.

พิเชษฐ์ วิสารทพงศ์ สำเร็จการศึกษาระดับปริญญาโท สาขาวิศวกรรมโทรคมนาคม จากมหาวิทยาลัยเทคโนโลยีมหานคร ในปี พ.ศ. 2546 ปัจจุบันเป็นอาจารย์ประจำภาควิชาวิศวกรรมโทรคมนาคม มหาวิทยาลัยเทคโนโลยีมหานคร หัวข้องานวิจัยที่สนใจ ได้แก่ ระบบสื่อสารแอนะล็อก และดิจิตอล การจำลองระบบการสื่อสาร

ปราโมทย์ วาดเขียน สำเร็จการศึกษาระดับปริญญาโท และปริญญาเอก สาขาวิศวกรรมโทรคมนาคม จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีพ.ศ.2533 และปีพ.ศ.2540 ตามลำดับ ปัจจุบันดำรงตำแหน่งรองศาสตราจารย์ สังกัดภาควิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง หัวข้องานวิจัยที่สนใจ ได้แก่ ระบบสื่อสารแอนะล็อกและดิจิตอล การประมวลสัญญาณดิจิตอล และการออกแบบวงจรรวม