การออกแบบวงจรกรองความถี่แอนะล็อกระดับนาโนวัตต์

Nanowatt Analog Filter Design

ประจวบ ปวรางกูร

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ สถาบันนวัตกรรมมหานคร คณะวิศวกรรมศาสตร์และเทคโนโลยี

มหาวิทยาลัยเทคโนโลยีมหานคร 140 ถนนเชื่อมสัมพันธ์ แขวงกระทุ่มราย เขตหนองจอก กรุงเทพฯ 10530

Email: prajuab@mut.ac.th

Manuscript Received October 10, 2024
Revised October 25, 2024
Accepted November 4, 2024

บทคัดย่อ

บทความนี้แสดงวิธีการออกแบบวงจรกรองความถี่แอนะล็อกที่กินกำลังงานต่ำระดับนาโนวัตต์ โดยการออกแบบวงจรดังกล่าวจะต้องคำนึงถึงค่าพารามิเตอร์ที่สำคัญอันได้แก่ แรงดันไฟเลี้ยง กำลังงาน ความถี่ตัด สัญญาณรบกวน ย่านการทำงานพลวัต และค่าแสดงประสิทธิภาพ ซึ่งค่าเหล่านี้จะเป็นสิ่งที่บ่งบอกได้ว่าวงจรกรองความถี่ที่ออกแบบมานี้มีข้อดีข้อด้อยอย่างไรเมื่อเปรียบเทียบกับวงจรกรองความถี่ที่ถูกนำเสนอในเวลาที่ผ่านมาก่อนหน้านี้ ในบทความนี้ก็ได้ยกตัวอย่างการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับ 4 มาเป็นกรณีศึกษา วงจรดังกล่าวสร้างขึ้นจากวงจรกรองอันดับ 2 สองวงจรที่นำมาต่อเรียงกัน ซึ่งทำงานได้ที่ระดับแรงดัน 0.6 V และมีค่าความถี่ตัดที่สามารถปรับค่าได้ตั้งแต่ 50 ถึง 300 Hz โดยที่ค่าความถี่ตัดเท่ากับ 150 Hz วงจรจะกินกำลังงานเพียงแค่ 0.55 nW เท่านั้น

คำสำคัญ: *วงจรกรองแอนะล็อก วงจรซีมอส วงจรกำลังงานต่ำ วงจรกรองความถี่แบบ g_m-C*

ABSTRACT

This paper presents the design of a nanowatt-power analog filter. Important parameters such as supply voltage, power consumption, cutoff frequency, noise, dynamic range, and figure of merit are considered in the design method. These parameters indicate the advantages and disadvantages of the designed filter. The paper provides an example of a 4th-order Chebyshev low-pass filter designed for an ECG detection system based on cascading two 2nd-order sections. The proposed circuit can operate at a 0.6 V supply, and the cutoff frequency can be adjusted from 50 Hz to 300 Hz, covering the entire frequency range of ECG signals. At a 150 Hz cutoff frequency, the proposed filter consumes 0.55 nW.

Keywords: *Analog filter, CMOS circuit, ultra-low-power, g_m-C filter*

1. บทนำ

ปัจจุบันรัฐบาลมีนโยบายในการผลักดันให้ประเทศไทยเป็นศูนย์กลางทางการเงิน และการลงทุนจากต่างชาติ ผ่านการผลักดัน 5 อุตสาหกรรมตามยุทธศาสตร์ ซึ่งอุตสาหกรรมเซมิคอนดักเตอร์ (Semiconductor) ก็เป็นหนึ่งในห้าอุตสาหกรรมดังกล่าว โดยอุตสาหกรรมการผลิตเซมิคอนดักเตอร์นั้นต้องการวิศวกรผู้เชี่ยวชาญและแรงงานที่มีทักษะมากกว่าอุตสาหกรรมอื่น ๆ

ดังนั้นเพื่อเป็นการเตรียมความพร้อมสำหรับอุตสาหกรรมการผลิตเซมิคอนดักเตอร์ที่กำลังจะเกิดขึ้นในอนาคตอันใกล้นี้ บทความนี้จึงได้นำเสนอตัวอย่างของการออกแบบวงจรกรองความถี่แอนะล็อกที่กินกำลังงานต่ำซึ่งเป็นหนึ่งในทักษะของวิศวกรที่จำเป็นต้องเรียนรู้เพื่อนำไปประยุกต์ใช้ในอุตสาหกรรมการผลิตเซมิคอนดักเตอร์ โดยการออกแบบวงจรกรองความถี่แอนะล็อกที่กินกำลังงานต่ำนั้นจำเป็นต้องคำนึงถึงค่าพารามิเตอร์ต่าง ๆ ที่เกี่ยวข้องกับวงจรกรองความถี่รวมถึงวงจรที่กินกำลังงานต่ำพร้อมกันไปด้วย ตัวอย่างของค่าพารามิเตอร์ดังกล่าวได้แก่ แรงดันไฟเลี้ยง (Supply voltage)

อัตราการกินกำลังงาน (Power consumption) ความถี่ตัด (Cutoff frequency : f_c) สัญญาณรบกวน (Noise) ย่านการทำงานพลวัต (Dynamic range : DR) และค่าแสดงประสิทธิภาพ (Figure of merit : FoM) เป็นต้น ซึ่งค่าพารามิเตอร์เหล่านี้จะเป็นสิ่งที่สามารถใช้ในการบ่งบอกถึงข้อดีและ/หรือข้อด้อยของวงจรที่ถูกออกแบบมาเมื่อเปรียบเทียบกับวงจรอื่น ๆ ที่ได้ถูกนำเสนอมาแล้วก่อนหน้า

สำหรับเทคนิคในการออกแบบวงจรกรองความถี่ให้สามารถกินกำลังต่ำได้นั้นมีอยู่หลายวิธี ซึ่งเทคนิคการไบแอสให้ทรานซิสเตอร์มอสเฟตทำงานในย่านต่ำกว่าแรงดันขีดเริ่ม (Subthreshold-biased MOSFET) ก็เป็นเทคนิคหนึ่งที่ได้รับความนิยมเป็นอย่างมากในการนำมาใช้ออกแบบวงจรกรองความถี่แอนะล็อกเพื่อใช้ในงานที่ต้องการอัตราการกินกำลังงานต่ำมากและทำงานที่ความถี่ต่ำด้วย [1] ยกตัวอย่างเช่นเครื่องวัดและติดตามอัตราการเต้นของหัวใจแบบพกพาเป็นต้น สาเหตุที่ต้องออกแบบวงจรกรองความถี่แอนะล็อกนี้ให้กินกำลังงานต่ำมากก็เพื่อที่จะยืดระยะเวลาในการใช้งานของแบตเตอรี่ให้นานขึ้น ทำให้ไม่ต้องทำการเปลี่ยนหรือชาร์จแบตเตอรี่บ่อย ๆ นั่นเอง ที่ผ่านมาวงจรกรองความถี่แอนะล็อกที่กินกำลังงานต่ำมากมักถูกสร้างในรูปแบบของวงจรกรองแบบ g_m-C เนื่องจากตัวทรานส์คอนดักเตอร์ (Transconductor : g_m) นั้น สามารถสร้างจากวงจรทรานส์คอนดักเตอร์พื้นฐานหรืออาจสร้างจากทรานซิสเตอร์มอสเฟตเพียงแค่ตัวเดียวก็ได้ [2] – [9]

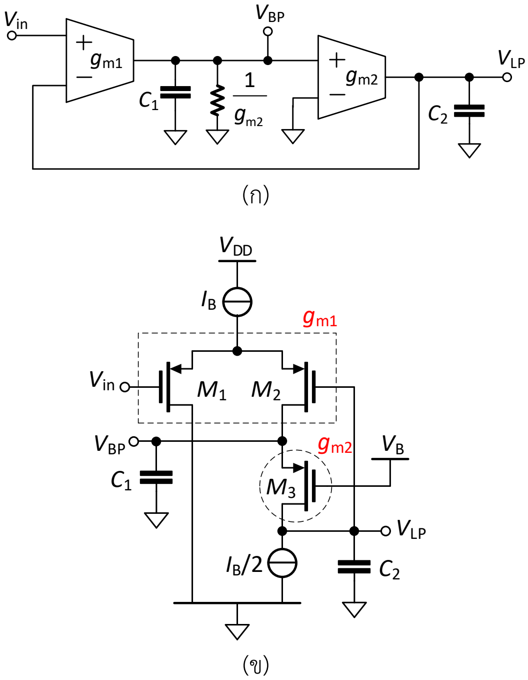
ยกตัวอย่างของวงจรกรองความถี่ต่ำผ่านอันดับ 2 (2nd-order lowpass filter) ใน [2] ตัวทรานส์คอนดักเตอร์พื้นฐานสร้างขึ้นจากวงจรคู่ผลต่าง (Differntial pair) ต่อร่วมกับวงจรสะท้อนกระแสอย่างง่าย (Simple current mirror) หรือวงจรกรองความถี่ต่ำผ่านอันดับ 6 (6th-order lowpass filter) ใน [7] ก็ใช้ตัวทรานส์คอนดักเตอร์พื้นฐานเป็นอุปกรณ์หลักเช่นกัน และเพื่อขยายย่านการทำงานที่เป็นเชิงเส้นของวงจรกรองความถี่ต่ำผ่านให้กว้างขึ้น วงจรกรองความถี่ใน [3] จึงได้ถูกสร้างขึ้นโดยอาศัยตัวโอทีเอ (Operational Transconductor Amplifier : OTA) ที่มีการปรับปรุงความเป็นเชิงเส้นเป็นอุปกรณ์หลัก ส่วนบทความ [6] ก็ได้นำเสนอวงจรกรองความถี่ต่ำผ่านแบบบัตเตอร์เวิร์ธอันดับ 5 (5th-order Butterworth lowpass filter) โดยการใช้ตัวโอทีเอที่มีอินพุตผลต่างและหลายเอาต์พุต (Multiple-output differential-input OTA) เป็นอุปกรณ์หลัก ซึ่งตัวอย่างของวงจรที่กล่าวมาข้างต้นนี้มีอัตราการกินกำลังงานที่ต่ำในระดับที่พอยอมรับได้เท่านั้น

สำหรับวงจรกรองความถี่ที่กินกำลังงานต่ำมากในบทความ [4] และ [8] นั้น ตัวทรานส์คอนดักเตอร์จะถูกสร้างขึ้นจากตัวทรานส์คอนดักเตอร์พื้นฐานหรือทรานซิสเตอร์มอสเฟตเพียงแค่ตัวเดียว นอกจากนี้วงจรในบทความ [4] และ [8] ยังสามารถให้ผลตอบสนองเชิงความถี่เป็นแบบวงจรกรองความถี่ต่ำผ่านและวงจรกรองแถบความถี่ผ่าน (Bandpass filter)อันดับ 2 ได้พร้อมกันอีกด้วย ซึ่งวงจรกรองความถี่ในบทความ [4] ถูกออกแบบมาเพื่อนำไปใช้ในการวัดคลื่นไฟฟ้าหัวใจ (Electrocardiogram : ECG) ส่วนวงจรกรองความถี่ในบทความ [8] ถูกออกแบบมาเพื่อนำไปใช้ในการวัดคลื่นสมอง โดยวงจรในบทความ [8] นี้จะกินกำลังงานต่ำกว่าวงจรในบทความ [4] ด้วย เนื่องจากวงจรในบทความ [8] มีขนาดที่เล็กกว่า ใช้อุปกรณ์น้อยกว่า ส่งผลทำให้มีสัญญาณรบกวนที่เกิดขึ้นภายในวงจรน้อยกว่านั่นเอง

จากข้อดีของวงจรที่ถูกนำเสนอไว้ในบทความ [8] บทความนี้จึงได้นำเอาวงจรในบทความ [8] นี้มาเป็นกรณีศึกษาในเรื่องของการออกแบบวงจรกรองความถี่ที่กินกำลังต่ำ นอกจากนี้ยังแสดงการออกแบบวงจรกรองความถี่โดยนำเอาโครงสร้างของวงจรในบทความ [8] มาสร้างเป็นวงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟอันดับ 4 (4th-order Chebyshev LPF) ที่มีข้อดีคือ วงจรมีขนาดกะทัดรัด กินกำลังงานต่ำ และมีสัญญาณรบกวนต่ำอีกด้วย โดยวงจรที่สร้างขึ้นนี้จะถูกจำลองการทำงานโดยใช้กระบวนการผลิตซีมอสที่ 0.18 um เพื่อยืนยันความถูกต้องของการออกแบบและการทำงานของวงจร ซึ่งวงจรจะถูกออกแบบให้ทำงานที่ระดับแรงดันไฟเลี้ยงเท่ากับ 0.6 V และมีความถี่ตัดที่สามารถปรับค่าได้ตั้งแต่ 50 ถึง 300 Hz

2. คุณสมบัติของวงจรกรองความถี่ในบทความ [8]

ในหัวข้อนี้จะได้พิจารณาคุณสมบัติของวงจรกรองความถี่ต่ำผ่านอันดับ 2 ที่ถูกนำเสนอไว้ในบทความ [8], [15] ก่อน เนื่องจากตัวอย่างที่แสดงถึงการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับ 4 ที่ถูกนำเสนอในบทความนี้มีพื้นฐานมากจากการนำเอาวงจรกรองความถี่ต่ำผ่านอันดับ 2 ในบทความ [8] 2 วงจร มาประกอบเข้าด้วยกัน โดยโครงสร้างของวงจรกรองความถี่ต่ำผ่านอันดับ 2 ที่ถูกนำเสนอไว้ในบทความ [8] แสดงได้ดังรูปที่ 1



***รูปที่ 1** วงจรกรองความถี่แบบ gm-C อันดับ 2 ที่ถูกนำเสนอในบทความ [8] (ก) รูปแบบบล็อกไดอะแกรม (ข) วงจรที่สร้างจากทรานซิสเตอร์มอสเฟต*

เมื่อพิจารณาจากรูปแบบบล็อกไดอะแกรมของวงจรกรองความถี่แบบ g_m-C อันดับ 2 ตามรูปที่ 1(ก) จะเห็นว่าวงจรประกอบด้วยตัวทรานส์คอนดักเตอร์ 2 ตัว (g_{m1} และ g_{m2}) ตัวเก็บประจุ 2 ตัว (C_1 และ C_2) และตัวต้านทานอีกหนึ่งตัว จะสังเกตว่าค่าความต้านทานในบล็อกไดอะแกรมนี้มีค่าเท่ากับ $1/g_{m2}$ และรูปแบบบล็อกไดอะแกรมนี้จะให้ผลตอบสนองเชิงความถี่แบบกรองความถี่ต่ำผ่านและกรองแถบความถี่ผ่านได้ในเวลาเดียวกัน

ในบทความ [8] นั้นรูปแบบบล็อกไดอะแกรมของวงจรกรองความถี่แบบ g_m-C อันดับ 2 ตามรูปที่ 1(ก) จะถูกสร้างจากวงจรคู่ผลต่างที่ทำหน้าที่เป็นตัวทรานส์คอนดักเตอร์ตัวที่ 1 และทรานซิสเตอร์มอสเฟตหนึ่งตัวที่ทำหน้าที่เป็นทั้งตัวทรานส์คอนดักเตอร์ตัวที่ 2 และตัวต้านทาน $1/g_{m2}$ ดังแสดงในรูปที่ 1(ข) สังเกตว่าวงจรดังกล่าวนี้จะใช้ทรานซิสเตอร์ที่ทำหน้าที่เป็นอุปกรณ์หลักเพียงแค่ 3 ตัวเท่านั้น

การออกแบบให้วงจรในรูปที่ 1(ข) กินกำลังต่ำที่สุด สามารถทำได้โดยการไบแอสให้ทรานซิสเตอร์ทั้งหมดในวงจรนี้ทำงานในย่านต่ำกว่าแรงดันขีดเริ่ม โดยเมื่อพิจารณาจากโครงสร้างของวงจรในรูปที่ 1(ข) จะเห็นได้ว่าค่าแรงดันไฟเลี้ยงที่ต่ำที่สุดที่วงจรจะสามารถทำงานได้ มีค่าเท่ากับ $V_{\mathrm{DD}} = 2V_{\mathrm{Dsat}} + V_{\mathrm{SG}}$ ซึ่งแสดงให้เห็นว่าค่าพารามิเตอร์ที่สำคัญที่ใช้ในการออกแบบวงจรแอนะล็อกที่เป็นค่าแรงดันไฟเลี้ยงของวงจรนี้ก็ถูกกำหนดมาจากโครงสร้างของวงจรนั่นเอง ดังนั้นถ้ากำหนดค่ากระแสไบแอสในวงจรให้อยู่ในระดับหลักสิบนาโนแอมป์ ค่าแรงดันไฟเลี้ยง V_{DD} ก็จะสามารถลดลงต่ำกว่า 1 V ได้ เมื่อใช้เทคโนโลยีกระบวนการผลิตทรานซิสเตอร์ในระดับ 0.18 μm

เมื่อทำการวิเคราะห์วงจรในรูปที่ 1(ก) ก็จะได้ฟังก์ชันถ่ายโอน (Transfer function) ที่มีรูปแบบเป็นผลตอบสนองเชิงความถี่แบบกรองแถบความถี่ผ่านและกรองความถี่ต่ำผ่านตามสมการ (1) และ (2) ตามลำดับ

$$\frac{V_{BP}}{V_{in}} = \frac{\frac{g_{m1}}{C_1}s}{s^2 + s\frac{g_{m2}}{C_1} + \frac{g_{m1}g_{m2}}{C_1C_2}} \tag{1}$$

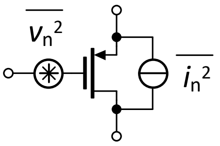
$$\frac{V_{LP}}{V_{in}} = \frac{\frac{g_{m1}g_{m2}}{C_1C_2}}{s^2 + s\frac{g_{m2}}{C_1} + \frac{g_{m1}g_{m2}}{C_1C_2}} \tag{2}$$

โดยที่ $g_{m2} = 2g_{m1} = I_B/2nU_T$ คือ ค่าการนำไฟฟ้าถ่ายโอน (Transconductance) ของตัวทรานส์คอนดักเตอร์เมื่อทรานซิสเตอร์ถูกไบแอสให้ทำงานในย่านต่ำกว่าแรงดันขีดเริ่ม เมื่อพิจารณาจากสมการ (1) และ (2) จะเห็นว่าค่าความถี่กลาง (Center frequency) ของผลตอบสนองแบบกรองแถบความถี่ผ่าน และค่าความถี่ตัดของผลตอบสนองแบบกรองความถี่ต่ำผ่าน มีค่าเท่ากับ $\omega_0 = \sqrt{g_{m1}g_{m2}/C_1C_2}$ ส่วนค่าตัวประกอบคุณภาพ (Quality factor : Q) ของผลตอบสนองแบบกรองแถบความถี่ผ่าน และผลตอบสนองแบบกรองความถี่ต่ำผ่าน มีค่าเท่ากับ $Q = \sqrt{g_{m1}C_1/g_{m2}C_2}$ ซึ่งค่าพารามิเตอร์ ω_0 และ Q นี้ ก็เป็นพารามิเตอร์ที่สำคัญที่จะต้องถูกนำมาใช้ในการออกแบบวงจรกรองความถี่แอนะล็อก เพื่อกำหนดคุณสมบัติของวงจรกรองความถี่ให้เลือกนำเอาความถี่ที่ต้องการมาใช้และกำจัดความถี่ที่ไม่ต้องการทิ้งไป

ในส่วนของอัตราการกินกำลังงานของวงจรก็สามารถคำนวณได้จากการพิจารณาโครงสร้างของวงจรในรูปที่ 1(ข) โดยจะเห็นได้ว่าวงจรนี้มีกระแสไบแอสที่ไหลผ่านวงจรทั้งหมดเท่ากับ I_B ดังนั้นวงจร

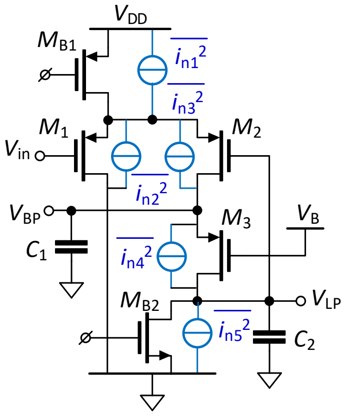
ดังกล่าวจะกินกำลังงานทั้งหมดเท่ากับ $P = I_B V_{DD}$

ในการวิเคราะห์สัญญาณรบกวนที่เกิดจากอุปกรณ์ภายในวงจรกรองความถี่นั้น แหล่งกำเนิดสัญญาณรบกวนจะเกิดขึ้นจากทรานซิสเตอร์ที่อยู่ภายในวงจรเป็นหลัก โดยแหล่งกำเนิดสัญญาณรบกวนของทรานซิสเตอร์มอสเฟตมี 2 แหล่ง ได้แก่ แหล่งกำเนิดสัญญาณรบกวนกระพริบ (Flicker noise) $\overline{v_n^2}$ และแหล่งกำเนิดสัญญาณรบกวนความร้อน $\overline{i_n^2}$ (Thermal noise) [14] ดังแสดงในรูปที่ 2



***รูปที่ 2** แหล่งกำเนิดสัญญาณรบกวนที่อยู่ภายในทรานซิสเตอร์มอสเฟต*

แหล่งกำเนิดสัญญาณรบกวนกระพริบเกิดจากการเคลื่อนที่แบบสุ่มกระโดดไปมาของพาหะนำกระแสในบริเวณใกล้กับพื้นที่เชื่อมต่อระหว่างฉนวนที่เกต (Gate oxide) กับสารกึ่งตัวนำที่เป็นฐาน (Substrate) ที่อยู่ใต้เกต ปรากฏการณ์ดังกล่าวสามารถเขียนเป็นวงจรสมมูลในรูปของแหล่งกำเนิดแรงดันได้ดังรูปที่ 2 ส่วนแหล่งกำเนิดสัญญาณรบกวนความร้อนเกิดจากอุณหภูมิที่เปลี่ยนแปลงในช่องทางเดินกระแส (Channel) ของทรานซิสเตอร์มอสเฟต ทำให้สามารถเขียนเป็นวงจรสมมูลในรูปของแหล่งกำเนิดกระแสได้เป็นดังรูปที่ 2 เช่นกัน ดังนั้นเมื่อทำการวิเคราะห์สัญญาณรบกวนที่อยู่ภายในวงจรกรองความถี่ตามรูปที่ 1(ข) โดยแทนแหล่งจ่ายกระแสไบแอส I_B และ $I_B/2$ ด้วยวงจรสะท้อนกระแสอย่างง่าย และถ้ากำหนดให้ทรานซิสเตอร์ทั้งหมดในวงจรมีขนาดใหญ่เพียงพอก็จะสามารถละเลยผลของแหล่งกำเนิดสัญญาณรบกวนกระพริบทิ้งไปได้ ทำให้เหลือเพียงแค่แหล่งกำเนิดสัญญาณรบกวนความร้อนเท่านั้น จึงเขียนเป็นวงจรสมมูลที่ใช้ในการวิเคราะห์หาสัญญาณรบกวนทั้งหมดได้เป็นดังรูปที่ 3



***รูปที่ 3** แหล่งกำเนิดสัญญาณรบกวนทั้งหมดที่อยู่ภายในวงจรกรองความถี่แบบ g_m-C อันดับ 2 ที่ถูกนำเสนอในบทความ [8]*

เมื่อทำการวิเคราะห์วงจรในรูปที่ 3 โดยการหาฟังก์ชันถ่ายโอนอันเกิดจากแหล่งกำเนิดสัญญาณรบกวนแต่ละตัวด้วยหลักการทับซ้อน (Superposition) แล้วทำการหาค่าเฉลี่ยของกำลังงานที่เกิดจากฟังก์ชันถ่ายโอนแต่ละตัว จากนั้นนำเอาค่ากำลังงานเฉลี่ยที่ได้ทุกตัวมารวมกัน ก็จะทำให้ได้เป็นค่ากำลังงานทั้งหมดของสัญญาณรบกวนที่ออกไปปรากฏที่เอาต์พุต ซึ่งขั้นตอนดังกล่าวสามารถศึกษาเพิ่มเติมได้จากตำราเรียนทั่วไป

หลังจากได้ค่ากำลังงานเฉลี่ยของสัญญาณรบกวนแล้ว ก็สามารถนำเอาค่าดังกล่าวไปหาย่านการทำงานพลวัต (DR) ได้โดยคำนวณได้จาก

$$\mathrm{DR} = \frac{P_{in}}{P_n} = \frac{v_p^2/2}{v_{input\ noise(rms)}^2} \quad (3)$$

สังเกตว่าค่า $v_{\text{input noise(rms)}}$ นี้เกิดจากการนำเอาค่าสัญญาณรบกวนเอาต์พุตโอนย้ายกลับไปยังขั้วอินพุตของวงจรทำให้ได้เป็นสัญญาณรบกวนที่อินพุตแทน ส่วน v_p คือ ค่าขนาดสูงสุดของสัญญาณอินพุต

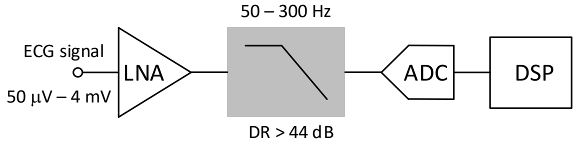
เมื่อหาค่าพารามิเตอร์ทั้งหมดข้างต้นแล้วก็สามารถนำเอาค่าเหล่านั้นมาทำการหาค่าแสดงประสิทธิภาพ (FoM) ของวงจรได้ โดยในบทความ [8] จะกำหนดให้ค่าแสดงประสิทธิภาพของวงจรมีค่าเป็น

$$\text{FoM} = \frac{P}{N \times f_C \times \text{DR}} \quad (4)$$

โดยที่ P คือ ค่าการกินกำลังงาน N คือ ค่าอันดับของวงจรกรองความถี่ f_c คือ ค่าความถี่ตัด และ DR คือ ย่านการทำงานพลวัต

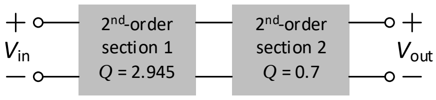
3. การออกแบบวงจรกรองความถี่ต่ำผ่านอันดับ 4

ตัวอย่างการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับ 4 ที่นำเสนอในบทความนี้ มีความเหมาะสมที่จะนำเอาไปประยุกต์ใช้ในงานวัดคลื่นไฟฟ้าหัวใจ โดยบล็อกไดอะแกรมของระบบการวัดสัญญาณคลื่นไฟฟ้าหัวใจ ECG แสดงได้ดังรูปที่ 4 ซึ่งจะใช้วงจรกรองความถี่ต่ำผ่านกำจัดสัญญาณที่เป็นองค์ประกอบทางด้านความถี่สูงของสัญญาณ ECG ทิ้งไป โดยทั่วไปแล้วคุณสมบัติของวงจรกรองความถี่ต่ำผ่านนี้จะมีค่าความถี่ตัดอยู่ในช่วง 50 ถึง 300 Hz และมีย่านการทำงานพลวัตมากกว่า 44 dB



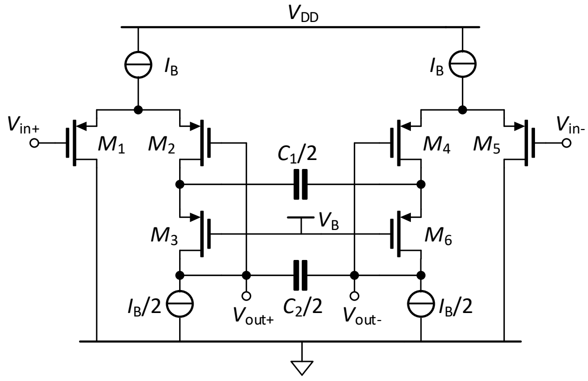
รูปที่ 4 บล็อกไดอะแกรมของระบบการวัดสัญญาณคลื่นไฟฟ้าหัวใจ ECG

การออกแบบวงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟอันดับ 4 ในบทความนี้ได้นำเอาวงจรกรองความถี่ต่ำผ่านอันดับ 2 ตามรูปที่ 1(ข) 2 ชุดมาต่อเรียงกัน (Cascade) ตามรูปที่ 5 โดยกำหนดให้ค่าการกระเพื่อมของสัญญาณในช่วงแถบผ่าน (Passband ripple) ของวงจรกรองความถี่เชบีเชฟอันดับ 4 นี้มีค่าเท่ากับ 0.5 dB และกำหนดให้ค่าตัวประกอบคุณภาพ ของวงจรกรองความถี่อันดับ 2 ในชุดที่ 1 และ 2 มีค่าเท่ากับ 2.945 และ 0.7 [13] ตามลำดับ



รูปที่ 5 วงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟอันดับ 4

ในการนำเอาวงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟอันดับ 4 ไปประยุกต์ใช้กับงานการวัดคลื่นไฟฟ้าหัวใจนั้น สัญญาณ ECG ที่วัดได้จะมีขนาดเล็กมากโดยอยู่ในช่วง 50 µV ถึง 4 mV ซึ่งถูกรบกวนจากสัญญาณรบกวนทั้งจากภายนอกวงจรและภายในวงจรได้ง่าย เพื่อเป็นการป้องกัน/บรรเทาปัญหาดังกล่าว วงจรกรองความถี่ต่ำผ่านอันดับ 2 ในรูปที่ 1(ข) ที่มีโครงสร้างของวงจรเป็นแบบปลายเดี่ยว (Single-ended structure) จะถูกปรับเปลี่ยนให้อยู่ในรูปของวงจรที่มีโครงสร้างเป็นแบบผลต่าง (Differential structure) ดังแสดงในรูปที่ 6 ทั้งนี้จะทำให้ได้ย่านการทำงานพลวัตของวงจรกรองความถี่ในรูปที่ 6 มีค่าที่สูงที่สุด นอกจากนี้จะสังเกตเห็นว่าค่าของตัวเก็บประจุในวงจรรูปที่ 6 นี้จะถูกลดค่าลง 50% เพื่อที่จะทำให้ค่าความถี่ตัดของวงจรในรูปที่ 6 มีค่าเท่ากับค่าความถี่ตัดของวงจรในรูปที่ 1(ข) และยังส่งผลดีต่อมาคือทำให้ประหยัดพื้นที่บนวงจรรวม (Integrated Circuit : IC) อีกด้วย



รูปที่ 6 วงจรกรองความถี่ต่ำผ่านอันดับ 2 ที่มีโครงสร้างแบบผลต่าง

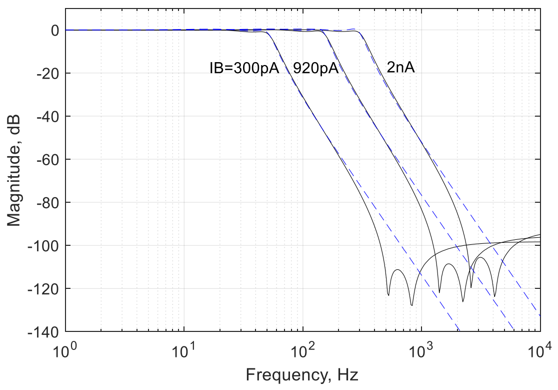
เมื่อนำเอาวงจรในรูปที่ 6 สองชุดมาประกอบเข้าด้วยกันตามบล็อกไดอะแกรมในรูปที่ 5 ก็จะได้เป็นวงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟอันดับ 4 เป็นดังแสดงในรูปที่ 7

4. ผลจำลองการทำงานของวงจร

เพื่อทำการตรวจสอบและยืนยันการทำงานของวงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟอันดับ 4 ตามที่ได้ออกแบบไว้ จึงได้ทำการจำลองการทำงานของวงจรด้วยโปรแกรม Cadence โดยใช้เทคโนโลยีกระบวนการผลิตซีมอสในระดับ 0.18 µm ซึ่ง

ทรานซิสเตอร์ M_1-M_3 มีขนาด 1/24 ส่วนแหล่งจ่ายกระแสไบแอส I_B จะถูกสร้างจากวงจรสะท้อนกระแสอย่างง่ายโดยใช้ทรานซิสเตอร์ที่มีขนาดเท่ากับ 4/48 สำหรับแหล่งจ่ายไฟเลี้ยง V_{DD} แหล่งจ่ายแรงดันไบแอส V_B และแรงดันอินพุตโหมดร่วม (Input common-mode voltage) V_{cm} ถูกกำหนดให้มีค่าเท่ากับ 0.6 V, 0 V และ 0.14 V ตามลำดับ

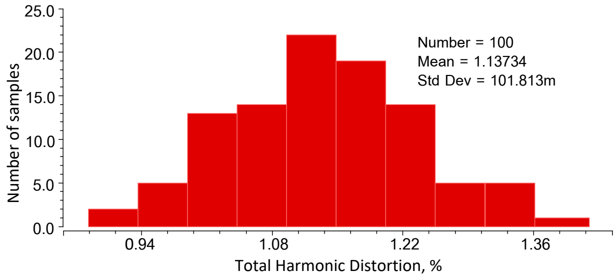
เมื่อทำการจำลองการทำงานของวงจรในรูปที่ 7 โดยออกแบบให้ค่าความถี่ตัดของวงจรต่ำสุดมีค่าเท่ากับ 50 Hz และปรับค่าได้ไปถึงค่าสูงสุดที่ 300 Hz ซึ่งค่าความถี่ดังกล่าวนี้จะครอบคลุมกับย่านความถี่ของสัญญาณ ECG ที่วัดได้จากผู้ใหญ่ไปจนถึงเด็ก [8] โดยจะทำการปรับที่ค่ากระแสไบแอสของวงจรให้มีค่าตั้งแต่ 300 pA ไปจนถึง 2 nA ส่วนค่าตัวเก็บประจุ C1 และ C2 ของวงจรกรองความถี่ต่ำผ่านอันดับ 2 ชุดแรกจะมีค่าเท่ากับ 40 pF และ 2 pF ตามลำดับ ขณะที่ค่าตัวเก็บประจุ C_1 และ C_2 ของวงจรกรองความถี่ต่ำผ่านอันดับ 2 ชุดที่สองจะมีค่าเท่ากันคือ 16 pF จะทำให้ได้ค่าผลตอบสนองเชิงความถี่ทางขนาดของวงจรเป็นดังแสดงในรูปที่ 8



รูปที่ 8 *ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่านอันดับ 4*

ในรูปที่ 8 เส้นทึบจะแสดงค่าของผลจำลองการทำงานของวงจรส่วนเส้นประจะแสดงค่าในทางทฤษฎี โดยจะเห็นได้ว่าผลจำลองการทำงานและค่าทางทฤษฎีมีความเบี่ยงเบนไป ซึ่งเป็นผลมาจากการละเลยค่าการส่งผ่านความนำที่ขาเดรน (Drain conductance) ของทรานซิสเตอร์แต่ละตัวเมื่อทำการวิเคราะห์หาฟังก์ชันการส่งผ่านในหัวข้อที่ 2

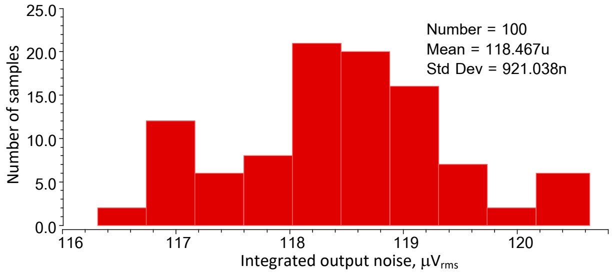
พารามิเตอร์ที่สำคัญอีกตัวหนึ่งคือ ความเป็นเชิงเส้น (Linearity) ของวงจร จะถูกจำลองการทำงานโดยใช้การจำลองแบบ Monte-Carlo ซึ่งเป็นการดูค่าในทางสถิติ ด้วยการสุ่มตัวอย่างของการไม่สมพงษ์กัน (Match) ของทรานซิสเตอร์ภายในวงจร 100 ตัวอย่าง กำหนดให้ค่ากระแสไบแอส I_B = 920 pA จะทำให้ได้ความถี่ตัด f_c = 150 Hz เมื่อทำการป้อนแรงดันอินพุตขนาด 75 mV ที่ความถี่ 50 Hz จะได้ผลจำลองการทำงานของค่า THD (Total Harmonic Distortion) แสดงได้ดังรูปที่ 9



รูปที่ 9 *ผลจำลองการทำงานของค่า THD*

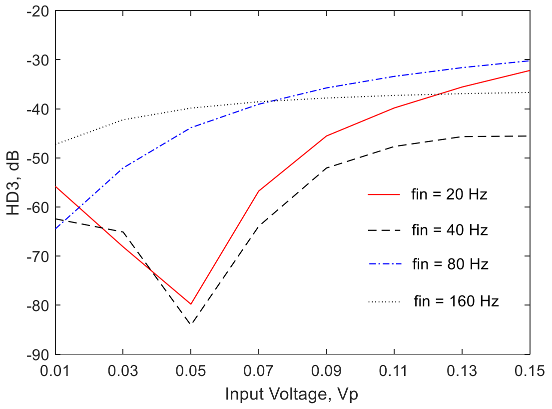
ผลจำลองการทำงานในรูปที่ 9 แสดงให้เห็นว่าค่ากลาง (Mean value) มีค่าเท่ากับ 1.13 % และค่าเบี่ยงเบนมาตรฐาน (Standard deviation) เท่ากับ 0.1 %

เมื่อทำการหาค่าอาร์เอ็มเอสของสัญญาณรบกวนแรงดันเอาต์พุต (rms output noise voltage) โดยการอินทิเกรตค่าความหนาแน่นสเปคตรัมของสัญญาณรบกวนแรงดันเอาต์พุต (Output noise voltage spectral density) ที่ความถี่ 1 Hz ไปจนถึง 10 kHz จะได้ผลจำลองการทำงานเป็นดังรูปที่ 10 ซึ่งจะเห็นได้ว่าค่ากลางที่ได้จะมีค่าเท่ากับ 118.4 uVrms จากนั้นนำเอาค่านี้ไปหาย่านการทำงานพลวัตก็จะได้ DR = 59 dB



รูปที่ 10 *ผลจำลองการทำงานของค่าสัญญาณรบกวนเอาต์พุต*

รูปที่ 11 แสดงค่าความเพี้ยนฮาร์มอนิคที่ 3 (Third harmonic distortion : HD3) ที่ได้จากการป้อนแรงดันอินพุตที่ความถี่ 20, 40, 80 และ 160 Hz เมื่อทำการเปลี่ยนค่าขนาดของแรงดันอินพุตไปที่ค่าต่าง ๆ โดยกำหนดให้ค่าความถี่ตัดของวงจรมีค่าเท่ากับ f_c = 150 Hz จากผลจำลองการทำงานแสดงให้เห็นว่าค่า HD3 ของสัญญาณเอาต์พุตที่ความถี่ในช่วงแถบความถี่ผ่าน (Passband) จะมีค่าน้อยกว่าที่ความถี่ใกล้กับค่าความถี่ตัดของวงจร ซึ่งค่า HD3 นี้ อนุมานได้ว่าเป็นค่าพารามิเตอร์ที่แสดงให้เห็นถึงช่วงขนาดและช่วงความถี่ของแรงดันอินพุตที่สัมพันธ์กับความเพี้ยนที่เกิดขึ้นกับสัญญาณเอาต์พุตนั่นเอง



รูปที่ 11 *ผลจำลองการทำงานของค่า HD3*

สุดท้าย ตารางที่ 1 เป็นการสรุปค่าพารามิเตอร์ต่าง ๆ ของวงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟอันดับ 4 ที่นำเสนอในบทความนี้เปรียบเทียบกับค่าพารามิเตอร์ในบทความอื่น ๆ ที่ผ่านมา

5. สรุป

บทความนี้นำเสนอวิธีการออกแบบวงจรกรองความถี่แอนะล็อกที่กินกำลังงานต่ำระดับนาโนวัตต์ โดยได้นำเสนอขั้นตอนการออกแบบที่เริ่มจากการศึกษาคุณสมบัติของวงจรต้นแบบที่จะนำมาประยุกต์ใช้ในการสร้างเป็นวงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟอันดับ 4 ก่อน ซึ่งในบทความนี้จะใช้วงจรกรองความถี่ต่ำผ่านอันดับ 2 จากบทความ [8] มาเป็นต้นแบบ จากนั้นจึงได้นำเอาวงจรต้นแบบนี้ 2 ชุด มาต่อเรียงกัน และออกแบบให้วงจรที่ได้มีคุณสมบัติเป็นวงจรกรองแบบเชบีเชฟอันดับ 4 เมื่อได้วงจรที่สมบูรณ์แล้วจึงทำการจำลองการทำงานของวงจรด้วยโปรแกรม Cadence เพื่อตรวจสอบการทำงานของวงจร และหาค่าพารามิเตอร์ที่สำคัญนำไปเปรียบเทียบกับวงจรกรองความถี่ที่ถูกนำเสนอในเวลาที่ผ่านมาก่อนหน้านี้ทำให้ทราบถึงข้อดีข้อด้อยของวงจรที่ออกแบบไปแล้วได้เป็นอย่างดี ซึ่งวงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟอันดับ 4 ที่นำเสนอในบทความนี้ก็แสดงให้เห็นว่าวงจรสามารถทำงานได้ที่แรงดันไฟเลี้ยงต่ำ และมีการกินกำลังงานต่ำตามที่ได้ออกแบบไว้ด้วย

เอกสารอ้างอิง

[1] C. C. Enz, F. Krummenacher, and E. Vittoz, “An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications,” *Analog Integrated Circuits and Signal Processing*, vol. 8, no. 1, pp. 83–114, July 1995.

[2] C. Sawigun and W. A. Serdijn, “A modular transconductance reduction technique for very low-frequency *Gm-C* filters,” in *Proc. IEEE ISCAS*, Seoul, Korea (South), 2012, pp. 1183-1186.

[3] S. Thanapitak and C. Sawigun, “A 9.19 nW hybrid OTA – source follower biquad lowpass filter,” in *Proc. IEEE TENCON-2014 Proc.*, Oct 2014.

[4] C. Sawigun and P. Pawarangkoon, “A compact subthreshold CMOS 2^{nd}-order *gm*-C lowpass filter,” in *Proc. ECTICON-2015*, June 2015.

[5] C. Sawigun, W. Ngamkham and W. A. Serdijn, “A 0.5-V, 2-nW, 55-dB DR, fourth-order bandpass filter using single branch biquads: An efficient design for FoM enhancement,” *Microelectronics Journal*, vol. 45, no. 4, April 2014.

[6] C.-Y. Sun and S.-Y. Lee, “A fifth-order butterworth OTA-C LPF with multiple-output differential-input OTA for ECG applications,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. PP, pp.1-1, Apr. 2017.

[7] C. Sawigun, S. Hiseni and W. Serdijn, “A 0.45nW, 0.5V, 59-dB DR, Gm-C lowpass filter for portable ECG recording,” *Proc. International Conference on Biomedical Electronics and Devices*, January 2012.

[8] S. Hiseni, C. Sawigun, S. Vanneste, E. Velden, D. Ridder and W. Serdijn, “A nano power CMOS Tinnitus detector for a fully implantable closed-loop neurodevice,” *IEEE Biomedical Circuits and Systems Conference (BioCAS)*, 2011.

[9] C. Sawigun and P. Pawarangkoon, “0.6-V, sub-nW, second-order lowpass filters using flipped voltage followers,”*IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), 2016*.

[10] T.-T. Zhang, P.-I. Mak, M.-I. Vai, P.-U. Mak, M.-K. Law, S.-H. Pun, F. Wan and R. Martins, “15-nW biopotential LPFs in 0.35-mm CMOS using subthreshold-source-follower biquads with and without gain compensation,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 5, pp. 690-702, 2013.

[11] C. Sawigun and S. Thanapitak, “A 0.9-nW, 101-Hz, and 46.3□Vrms IRN low-pass filter for ECG acquisition using FVF biquads,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2018. (in press)

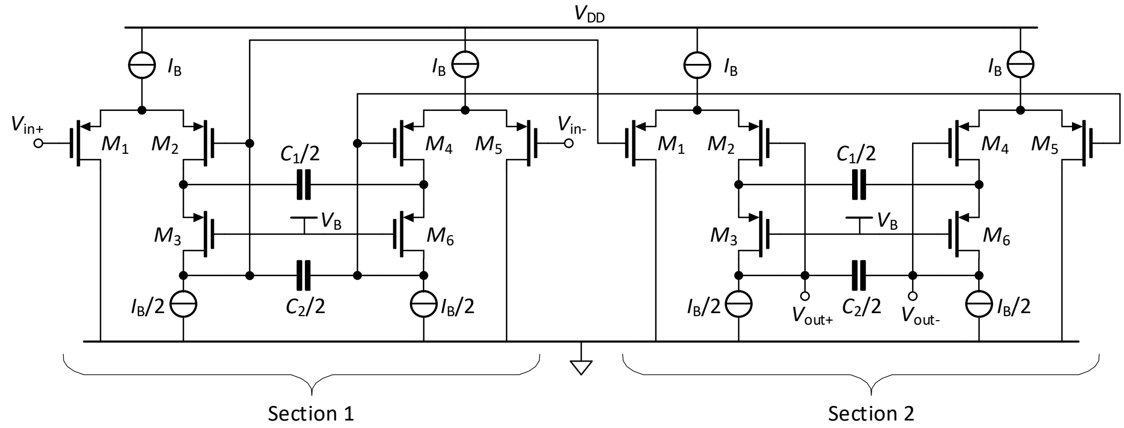
[12] S. Thanapitak and C. Sawigun, “A subthreshold buffer-based biquadratic cell and its application to biopotential filter design,” *IEEE Transactions on Circuits and Systems I*, vol. 65, no. 9, pp. 2774-2783, 2018.

[13] M. E. Van Valkenburg, *Analog Filter Design*, Holt-Saunders International Editions, 1982.

[14] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill Education, Second Edition, 2017.

[15] Prajuab Pawarangkoon, “A Nanopower 4 th -Order Chebyshev Lowpass Filter For ECG Detection System”, *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, 2018.

ประจวบ ปวรางกูร จบการศึกษาวิศวกรรมศาสตรดุษฎีบัณฑิต สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปัจจุบันเป็นอาจารย์ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ สถาบันนวัตกรรมมหานคร (Mii) คณะวิศวกรรมศาสตร์และเทคโนโลยี มหาวิทยาลัยเทคโนโลยีมหานคร หัวข้องานวิจัยที่สนใจคือ Low-voltage and low power analog circuit



รูปที่ 7 *วงจรกรองความถี่ต่ำผ่านแบบเชบีเชฟอันดับ 4*

ตารางที่ 1 *ผลเปรียบเทียบคุณสมบัติต่าง ๆ ของวงจรที่นำเสนอกับวงจรที่ถูกนำเสนอไปก่อนหน้านี้*

Design Parameters	[2]	[3]	[4]	[7]	[8]	[9]	[10]	This work
Tech. [μm]	0.18	0.35	0.35	0.18	0.35	0.35	0.35	0.18
V_{DD} [V]	1	1.5	1	0.5	1	0.6	3	0.6
Power [nW]	900	9.19	1.29	0.45	60	0.36	15	0.55
Order	2	4	2	6	2	2	4	4
f_c [Hz]	76	100	250	150	42	100	100	150
$V_{in\text{-}p}$@1%THD [mV]	610	105	120	110	n/a	30	25	75
IRN [μV_{rms}]	266.2	69	89	88	n/a	52	29	118.4
DR [dB]	64.2	60.6	59.1	52.1	n/a	52.2	64.8	59
FoM [pJ]	3.65	0.021	0.0028	0.0012	n/a	0.0044	0.021	0.001