การประยุกต์ใช้การถดถอยโลจิสติกในการศึกษาอิทธิพลของการโก่งตัวของแผ่นวงจรต่อการแตกของชิป

ณิชาณัช เกศมุกดา[1*]

Received: 31 May 2021; Revised: 18 October 2021; Accepted: 2 November 2021

บทคัดย่อ

ปัจจุบันผลิตภัณฑ์ไมโครอิเล็กทรอนิกส์ได้มีบทบาทเป็นอย่างมากในโลกอุตสาหกรรม ผลิตภัณฑ์ไมโครอิเล็กทรอนิกส์ที่สำคัญ เช่น ชิปประมวลผลไมโครโปรเซสเซอร์ เป็นชิปที่ใช้เป็นหน่วยประมวลผลกลางของเครื่องไมโครคอมพิวเตอร์ ทั้งนี้ผลิตภัณฑ์ไมโครอิเล็กทรอนิกส์นั้นมีที่ขนาดเล็กจึงทำให้เมื่อเกิดของเสียในกระบวนการผลิตแล้วการหาสาเหตุจะทำได้ยาก จากกรณีดังกล่าวโรงงานกรณีศึกษามีการพบของเสียของชิ้นงานไมโครอิเล็กทรอนิกส์จำนวนหนึ่งและต้องการหาสาเหตุของการทำให้เกิดการแตกของตัวชิปหลังจากที่ผ่านกระบวนการทดสอบการทำงาน จากการค้นหาสาเหตุของปัญหาไม่พบว่ากระบวนการ พนักงาน และเครื่องจักรจะเป็นสาเหตุของการทำให้ตัวชิปแตก เนื่องจากกระบวนการทดสอบต้องมีการกดตัวงานเพื่อให้ตัวแผ่นวงจรแนบสนิทกับแหล่งจ่ายกระแสไฟ แต่ทั้งนี้แรงกดดังกล่าวได้ถูกกำหนดไว้ที่เครื่องและมีการรายงานค่าทุกครั้งที่กดซึ่งมีค่าเท่ากันตลอดการทดสอบ และพบว่าจะมีงานบางตัวเท่านั้นที่เกิดชิปแตก งานวิจัยนี้จึงตั้งสมมติฐานว่าการโก่งตัวของตัวบอร์ดแผงวงจรเป็นสาเหตุให้ตัวชิปเกิดการแตกเมื่อโดนกดจากเครื่องทดสอบระหว่างการทำงาน ความสัมพันธ์ของปัจจัยกับผลลัพธ์ที่ได้จึงเป็นโอกาสในการเกิดและผลที่ได้มีลักษณะเป็นไบนารี่ งานวิจัยนี้จึงนำเสนอการถดถอยลอจิสติกทวิภาคมาใช้เพื่อทำนายการแตกของชิป จากการวิเคราะห์ผลทางสถิติพบว่า การโก่งตัวของตัวบอร์ดแผงวงจร ช่วงค่าการโก่งตัวระหว่าง -21.480 ถึง 10.253 ไมครอนจะไม่ได้ส่งผลกับการแตกของชิปอย่างมีนัยสำคัญ (ค่าประมาณการของสัมประสิทธิ์มีค่าเท่ากับศูนย์ที่ความเชื่อมั่น 95%) ทั้งนี้ทางโรงงานกรณีศึกษาก็จะทำการศึกษากับโรงงานผู้ผลิตชิปต่อไปเพื่อหาสาเหตุที่ทำให้ตัวชิปแตก

คำสำคัญ: การถดถอยลอจิสติก, ไมโครอิเล็กทรอนิกส์, การโก่งตัว

[*] *E-mail Address: nichanack.kat@rmutr.ac.th*

[1] *สาขาวิศวกรรมอุตสาหการ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลรัตนโกสินทร์*

The study examined the effect of substrate warp on the die crack by applying logistic regression

Nichanach Katemukda[1*]

Received: 31 May 2021; Revised: 18 October 2021; Accepted: 2 November 2021

Abstract

Nowadays Microelectronics is an important component to serve in many industries and the example of the microelectronic products are chip, microprocessor etc. According to the micro is too small then the root cause analysis is difficult, the factory in this case study found the crack on chip. They investigated and conclude the man machine and method are not the root cause of this symptom. The functional tester need to push down the product and the force that setting in the machine is fixed and every force pushing are reported. The report indicated no any variance of force pushing. One factor is the warps on substrate board that may cause of the crack on chip while the functional tester pushing the product during test. The binary logistic regression use to test a relationship between the chip crack and the warp of board. The statistical result indicated the warp of board between –21.480 to 10.253 Microns is not the cause of the chip crack (Coefficient of the regression is zero with 95% CI). Anyway the factory need to do further study with the chip supplier to verify on the root cause that suspect from raw material itself.

Keywords: Logistic regression, Microelectronics, Warp

[*] *E-mail Address: nichanack.kat@rmutr.ac.th*

[1] *Industrial Engineering, Faculty of Engineering, Rajamongala University of Technology Rattanakosin*

1. บทนำ

ในปัจจุบันไมโครอิเล็กทรอนิกส์ได้เข้ามามีบทบาทในผลิตภัณฑ์ขั้นสูงในหลายๆ ชนิด ไม่ว่าจะเป็น ชิป ชิปประมวลผล ตัวส่งขับเคลื่อนสัญญาณ และเป็นชิ้นส่วนในอุตสาหกรรมไฟฟ้าและอิเล็กทรอนิกส์ นอกจากนี้ยังมีบทบาทสำคัญในฐานะชิ้นส่วนที่เกี่ยวข้องกับอุตสาหกรรมเทคโนโลยีการสื่อสาร อุตสาหกรรมฮาร์ดดิสก์ไดร์ฟ ไปจนถึงอุตสาหกรรมยานยนต์ไฟฟ้าและยานยนต์ไร้คนขับ (Amelung et al., 2019) อุตสาหกรรมด้านไมโครอิเล็กทรอนิกส์นี้ได้ถูกส่งเสริมในประเทศไทยซึ่งจะเห็นได้จากการจัดตั้งศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (Thai Microelectronics Center : TMEC) โดยทางศูนย์มีการทำการออกแบบ วิจัย และพัฒนาผลิตภัณฑ์ในกลุ่มไมโครอิเล็กทรอนิกส์ โดยมีศักยภาพสามารถทำได้ถึงตัวต้นแบบ (Prototype) ก่อนที่บริษัทจะนำไปผลิตเชิงพาณิชย์ พร้อมทั้งเป็นศูนย์ในการเผยแพร่ความรู้ประชาชนทั่วไปเพื่อพัฒนาศักยภาพในอุตสาหกรรมด้านไมโครอิเล็กทรอนิกส์และพัฒนาคนอีกด้วย เนื่องจากอุตสาหกรรมทางด้านไมโครอิเล็กทรอนิกส์เป็นงานที่ต้องอาศัยความละเอียดสูงในการผลิตมากเนื่องจากตัวชิ้นงานมีขนาดที่เล็ก ดังนั้นขนาดหรือการเปลี่ยนแปลงรูปร่างในระดับไมครอนก็จะส่งผลกับคุณภาพของตัวชิ้นงานหรือผลิตภัณฑ์ได้ (Thomas et al., 2000) โรงงานอุตสาหกรรมผลิตชิ้นส่วนไมโครอิเล็กทรอนิกส์ในกรณีศึกษาพบของเสียหลังกระบวนการทดสอบขั้นตอนสุดท้าย (Functional Test) คือเมื่อชิ้นงานผ่านกระบวนการทดสอบแล้วได้ผลว่าไม่ผ่าน หลังจากนั้นจะนำชิ้นงานที่ได้ผลว่าไม่ผ่านมาทำการวิเคราะห์ ผลหลังการวิเคราะห์พบว่าตัวชิปแตกจึงทำให้ทดสอบแล้วได้ผลว่าไม่ผ่าน และจากการวิเคราะห์จากปัจจัย 4M (Man Machine Method Material) ที่เกี่ยวข้องแล้ว ปรากฏว่า Man Machine และ Method ไม่ได้มีการเปลี่ยนแปลงใด ๆ ในกระบวนการ และมีการตรวจสอบด้วยกล้องขนาดขยาย 30 เท่า (30X) พร้อมทั้งถ่ายรูปบันทึกไว้ก่อนที่จะเข้าเครื่องทดสอบขั้นตอนสุดท้าย (Process mapping) ก็ไม่พบอาการแตกของตัวชิปก่อนที่จะนำตัวงานเข้าการทดสอบขั้นสุดท้ายโดยเครื่องทดสอบ (Tester) ดังนั้นทางโรงงานกรณีศึกษาจึงได้สรุปว่า Man Machine และ Method ไม่ได้เป็นสาเหตุที่ทำให้ชิปแตก ดังนั้น Material จึงเป็นตัวแปรสำคัญที่น่าจะส่งผลกับการแตกของตัวชิป โดยในที่นี้ก็คือตัวบอร์ดแผงวงจรและความโก่งตัวของตัวบอร์ดแผงวงจรน่าจะเป็นสาเหตุที่ทำให้ชิปแตก (Baloglu et al., 2013; Wang et al., 2010) เนื่องจากในกระบวนการทดสอบขั้นสุดท้ายจะมีการกดตัวงาน ดังนั้นหากตัวบอร์ดแผงวงจรมีการโก่งตัวก็น่าจะส่งผลกับการแตกของตัวชิป ด้วยเหตุดังกล่าวโรงงานกรณีศึกษาจึงต้องการทดสอบทางสถิติเพื่อที่จะสรุปว่าความโก่งของตัวบอร์ดแผงวงจรมีผลต่อการแตกของชิปหรือไม่ ดังนั้นผู้วิจัยจึงทำการนำเสนอสถิติที่สามารถใช้ในการทดสอบความสัมพันธ์ โดยเป็นการประยุกต์ใช้การถดถอยลอจิสติกทวิภาคมาใช้ในการทดสอบสมมุติฐานในงานวิจัยครั้งนี้ ซึ่งประโยชน์ที่คาดว่าจะได้รับคือการแนะนำเครื่องมือทางสถิติที่เหมาะสมและนำมาใช้ได้กับปัญหาของโรงงานกรณีศึกษา รวมถึงเป็นตัวอย่างเพื่อที่จะสามารถนำไปประยุกต์ใช้ได้กับสถานการณ์อื่นที่คล้ายคลึงกันในโรงงานอุตสาหกรรมดังกล่าวหรือที่เกี่ยวข้อง

2. วัตถุประสงค์

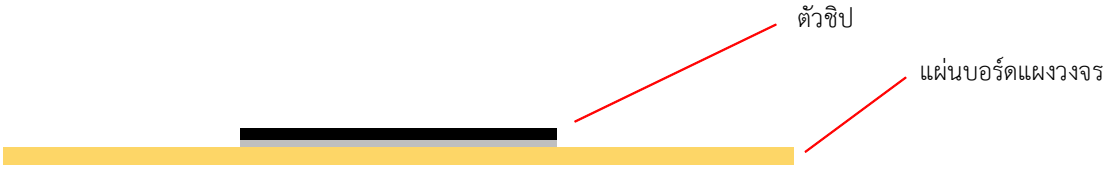
เพื่อศึกษาอิทธิพลของการโก่งตัวของแผ่นวงจรต่อการแตกของชิป

3. ทบทวนวรรณกรรมที่เกี่ยวข้อง

3.1 ไมโครอิเล็กทรอนิกส์ (Microelectronics)

ไมโครอิเล็กทรอนิกส์ (Microelectronics) เป็นหนึ่งในสาขาย่อยของอิเล็กทรอนิกส์ ไมโครอิเล็กทรอนิกส์นั้นมีความสัมพันธ์กับการศึกษาและการผลิตอุปกรณ์อิเล็กทรอนิกส์ซึ่งมีขนาดเล็กมากใน (Noyse, 1977) โดยตัวอย่างของอุปกรณ์อิเล็กทรอนิกส์เหล่านี้ยังรวมถึง ตัวเก็บประจุ ตัวต้านทาน เป็นต้น โดยกระบวนการหลักของไมโครอิเล็กทรอนิกส์มักจะประกอบไปด้วยกระบวนการติดชิป (Die attach) (Zhang et al., 2019) การเชื่อมวงจรด้วยลวด (Wire bonding) (George, 2010) และการประกอบขั้นสุดท้าย (Razavi, 2021) โดยผลิตภัณฑ์ของโรงงานกรณีศึกษา

เป็นผลิตภัณฑ์ของลูกค้า เนื่องจากโรงงานกรณีศึกษาเป็นบริษัทรับจ้างผลิตและต้องทำหน้าที่ในการปกป้องลิขสิทธิ์ของลูกค้า ดังนั้นในงานวิจัยนี้จะไม่สามารถแสดงรูปภาพจริงของผลิตภัณฑ์ได้ ผลิตภัณฑ์ที่กล่าวถึงในงานวิจัยนี้เป็นหนึ่งในชิ้นส่วนสำคัญที่ใช้ในอุตสาหกรรมทางด้านการสื่อสาร คุณลักษณะทางกายภาพของผลิตภัณฑ์กล่าวได้ดังนี้ ผลิตภัณฑ์มีขนาด 10 x 10 มิลลิเมตร มีการหยอดกาวที่มีส่วนผสมของโลหะเงินและทำการวางแผ่นชิปลงบนกาว โดยขนาดของตัวชิปคือ 3 x 4 มิลลิเมตร จากนั้นนำเข้าไปอบเพื่อให้ตัวชิปกับตัวบอร์ดแผงวงจรติดกัน หลังจากนั้นก็นำเข้าสู่กระบวนการเชื่อมวงจรด้วยลวดทองคำขนาด 25 ไมครอน เมื่อเสร็จสิ้นพนักงานจะทำการตรวจสอบโดยการใช้กล้องขนาดขยาย 30 เท่าเพื่อทำการดูจุดบกพร่องต่างๆ บนตัวชิ้นงานโดยเฉพาะการแตกของตัวชิปและนำตัวชิ้นงานเข้าเครื่องทดสอบในขั้นสุดท้าย สำหรับตัวชิ้นงานที่ได้รับผลว่าผ่านจากการทดสอบก็จะนำเข้าสู่กระบวนการปิดฝาเป็นผลิตภัณฑ์ที่พร้อมส่งให้กับลูกค้า



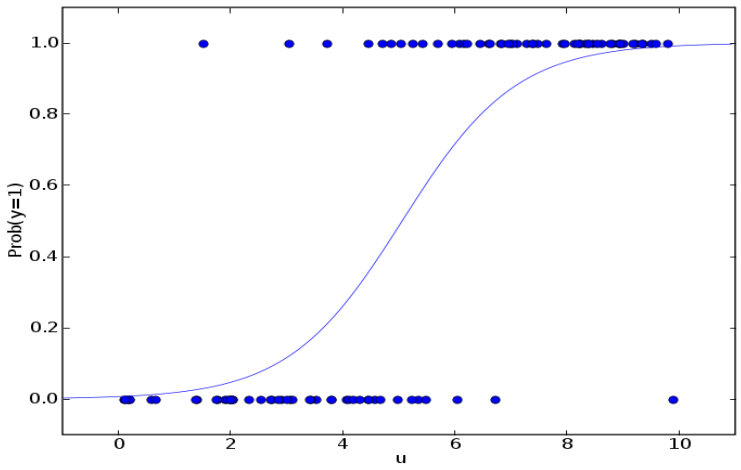
รูปภาพที่ 1 ตำแหน่งตัวชิปบนแผ่นบอร์ดแผงวงจร

3.2 การถดถอยลอจิสติกทวิภาค (Binary Logistic Regression)

การวิเคราะห์การถดถอยลอจิสติก (Logistic regression analysis) เป็นหนึ่งในการวิเคราะห์การถดถอยแบบหนึ่งที่ตัวแปรตามไม่ใช่เชิงปริมาณ (Quantitative variable) แต่มีตัวแปรตามเป็นตัวแปรเชิงคุณภาพ (Qualitative variable) นอกจากนี้ในการวิเคราะห์การถดถอยลอจิสติกสามารถแบ่งออกได้เป็น 2 ประเภท (David, 2013) ดังนี้ 1) การวิเคราะห์การถดถอยลอจิสติกทวิภาค (Binary logistic regression analysis) คือการวิเคราะห์การถดถอยที่ตัวแปรตามที่มีค่า 2 ค่า ได้แก่ การเกิดเหตุการณ์ที่สนใจ (Y = 0) และการไม่เกิดเหตุการณ์ที่สนใจ (Y = 1) นั้นขึ้น และ 2) การวิเคราะห์การถดถอยลอจิสติกอเนกนาม (Multinomial logistic regression analysis) ซึ่งเป็นการวิเคราะห์ตัวแปรตามที่มีค่ามากกว่า 2 กลุ่ม (Polychromous variable) โดยหลักการการวิเคราะห์การถดถอยลอจิสติกมีวัตถุประสงค์หลักเพื่อใช้ในการทำนายโอกาสที่จะเกิดเหตุการณ์ที่ผู้ทำการศึกษาสนใจ ด้วยเหตุนี้เองการวิเคราะห์การถดถอยประเภทนี้จึงถูกนำไปประยุกต์ใช้ในหลายสาขาวิชาไม่ว่าจะเป็นทางด้านอุตสาหกรรม (Strano and Colosimo, 2006) ทางการแพทย์ (Tolles and Meurer, 2016) หรือทางด้านความปลอดภัย (Palei and Das, 2009) เป็นต้น แต่ทั้งนี้จากฐานข้อมูลที่ทำการสืบค้นยังไม่พบงานวิจัยที่นำการถดถอยลอจิสติกมาใช้ในการทำนายการแตกของตัวชิปในกระบวนการผลิตของกลุ่มผลิตภัณฑ์ไมโครอิเล็กทรอนิกส์ ดังนั้นการประยุกต์ใช้การถดถอยลอจิสติกในงานวิจัยนี้เพื่อตอบสมมติฐานของภาคอุตสาหกรรมไมโครอิเล็กทรอนิกส์จึงเป็นก้าวแรกในการนำความรู้ของส่วนวิชาการมาประยุกต์เพื่อทดสอบสมมติฐานของภาคอุตสาหกรรมไมโครอิเล็กทรอนิกส์

กัลยา (2559) ได้กล่าวถึงข้อตกลงเบื้องต้นของการวิเคราะห์การถดถอยลอจิสติกมีดังต่อไปนี้ ค่าคาดหวังของค่าความคลาดเคลื่อนเป็นศูนย์ ค่าความคลาดเคลื่อนเป็นอิสระต่อกัน ค่าความคาดเคลื่อนไม่มีความสัมพันธ์กับทั้งตัวแปรอิสระ (Independent variable) และตัวแปรตาม (Dependent variable) ทั้งนี้การถดถอยลอจิสติกมีตัวแปรอิสระโดยอาจจะเป็นข้อมูลชนิดแบบมีค่าได้สองค่า (Dichotomous) หรือเป็นแบบมาตราช่วง (Interval Scale) และมาตราอัตราส่วน (Ratio Scale) ก็สามารถเป็นไปได้ ทั้งนี้โมเดลการวิเคราะห์การถดถอยลอจิสติกทวิภาคจะมีตัวแปรตามเป็นตัวแปรเชิงกลุ่มที่มีค่าได้เพียง 2 ค่า เมื่อตัวแปรตามมีค่าได้เพียง 2 ค่า ทำให้ค่าประมาณของ Y เป็นโอกาสที่เหตุการณ์ที่สนใจจะเกิดซึ่งมีค่าระหว่าง 0 ถึง 1 และเนื่องจากความสัมพันธ์ของของตัวแปรตามและตัวแปรอิสระไม่ได้เป็นเส้นตรง

ค่าทำนายจะเป็นความน่าจะเป็นที่จะเกิดหรือไม่เกิดเหตุการณ์ที่สนใจของกระบวนการนั้น โดยความสัมพันธ์ดังกล่าวจะเป็นเหมือนกราฟแสดงในรูปภาพที่ 2



รูปภาพที่ 2 ความสัมพันธ์ของตัวแปรตามและตัวแปรอิสระในการถดถอยลอจิสติก
ที่มา: (Montgomery et. al., 2006)

เมื่อให้ $P(Y)$ แทนความน่าจะเป็นที่จะเกิดเหตุการณ์ที่สนใจ จะได้สมการที่ (1)

$$P(Y) = \frac{e^{b_0+b_1X_i}}{1+e^{b_0+b_1X_i}} \quad (1)$$

และให้ $Q(Y)$ แทนความน่าจะเป็นที่จะไม่เกิดเหตุการณ์ที่สนใจ จะได้สมการที่ (2)

$$Q(Y) = 1 - P(Y) \quad (2)$$

โดยให้กำหนดให้ b_0 และ b_1 เป็นค่าสัมประสิทธิ์ที่ประมาณได้จากข้อมูล โดย

X_i *เป็นตัวแปรอิสระ*
e *เป็นฐานของล็อกธรรมชาติ ซึ่งมีค่าประมาณ* 2.718

Kutner et al. (2004) กล่าวว่าค่าที่ใช้ในการตัดสินใจในการเกิดเหตุการณ์ (Cutoff point) คือ 0.5 หมายความว่าหากคำนวณแล้วได้ค่า $P(Y)$ < 0.5 หมายถึงเหตุการณ์ที่สนใจมีความน่าจะเป็นที่จะไม่เกิดขึ้น แต่ถ้าหาก $P(Y)$ > 0.5 จะหมายถึงเหตุการณ์ที่สนใจมีความน่าจะเป็นที่จะเกิดขึ้น และถ้าหาก $P(Y)$ = 0.5 หมายความว่าโอกาสที่จะเกิดเหตุการณ์ที่สนใจมีค่าเท่ากับโอกาสที่จะไม่เกิดเหตุการณ์ที่สนใจ เพื่อเป็นการปรับให้ง่ายต่อการแปลความจึงกำหนดค่าที่เรียกว่า Odds เพื่อใช้อธิบายความสัมพันธ์ระหว่างตัวแปรตามและตัวแปรอิสระ โดย Odd หมายถึงอัตราส่วนระหว่างโอกาสที่จะเกิดเหตุการณ์ที่สนใจ (Y = 1) กับโอกาสที่จะไม่เกิดเหตุการณ์ที่สนใจ (Y = 0) โดยสามารถเขียนสมการได้ดังสมการที่ (3)

$$Odds = \frac{P_y}{Q_y} \quad (3)$$

ค่าของ Odds ratio จะเป็นค่าที่แสดงถึงโอกาสที่จะเกิดเหตุการณ์ที่สนใจว่าจะเป็นกี่เท่าของโอกาสที่จะไม่เกิดเหตุการณ์ที่สนใจ นั่นคือเมื่อใดที่ค่า Odds ratio มีค่ามากกว่า 1 แสดงว่า โอกาสที่จะเกิดเหตุการณ์ที่สนใจนั้นมีมากกว่า

โอกาสที่จะไม่เกิดเหตุการณ์ที่สนใจนั่นเอง ยกตัวอย่างเช่น ถ้าหากค่า Odds ratio มีค่าเท่ากับ 1.5 แสดงว่า โอกาสที่จะเกิดเหตุการณ์ที่สนใจจะเป็น 1.5 เท่าของโอกาสที่จะไม่เกิดเหตุการณ์ที่สนใจ และถ้าหากค่า Odds ratio มีค่าเท่ากับ 1 นั่นหมายความว่าโอกาสที่จะเกิดเหตุการณ์ที่สนใจกับโอกาสที่จะไม่เกิดเหตุการณ์ที่สนใจมีเท่าๆกัน

การตรวจสอบความเหมาะสมของสมการถดถอยลอจิสติกมีอยู่หลายวิธี สำหรับงานวิจัยนี้จะใช้การพิจารณาค่าความเป็นไปได้ (likelihood value) ในการตัดสินความเหมาะสมของสมการ โดยวิธีการดังกล่าวจะได้จากการคำนวณค่า -2LL (-2 log likelihood) ซึ่งเป็นค่ามาจากการเอา -2 คูณด้วย log likelihood เพื่อต้องการให้ค่าที่ได้มีการแจกแจงเป็นแบบ Chi - square ใช้สำหรับการทดสอบนัยสำคัญทางสถิติ ซึ่งการทดสอบที่ degree of freedom (df) = p โดย p คือจำนวนตัวแปรอิสระ การทดสอบสมมติฐานเป็นดังต่อไปนี้

H_0: สัมประสิทธิ์ถดถอยลอจิสติกทุกตัวมีค่าเท่ากับศูนย์

H_1: มีสัมประสิทธิ์ถดถอยลอจิสติกอย่างน้อย 1 ค่าที่ไม่เท่ากับศูนย์

หากการทดสอบมีนัยสำคัญทางสถิติคือการยอมรับ H_1 จะหมายความว่าสัมประสิทธิ์ถดถอยลอจิสติกจะมีค่าไม่เท่ากับศูนย์ที่ความเชื่อมั่น 95% (Type I Error 5%) ตามงานวิจัยนี้ ซึ่งโรงงานกรณีศึกษาทำการกำหนดไว้

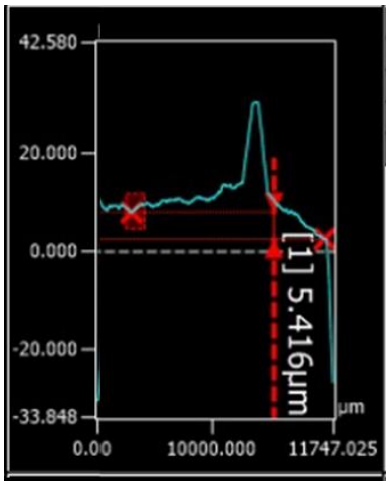
3.3 การวัดค่าการโก่งตัวของตัวแผงวงจร (Warp measurement)

การโก่งตัวของแผงวงจรมีอยู่ 2 แบบคือการโก่งตัวแบบคว่ำลงแสดงดังรูปภาพที่ 3 และการโก่งตัวแบบงอขึ้นแสดงดังรูปภาพที่ 4

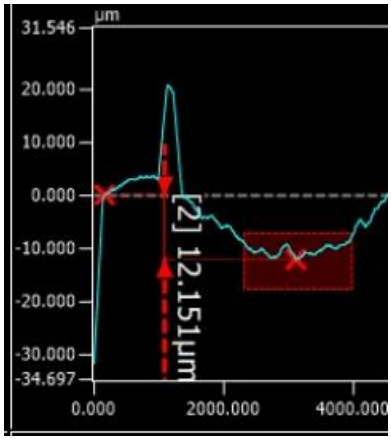
รูปภาพที่ 3 ลักษณะการโก่งตัวของแผงวงจรแบบคว่ำลง

รูปภาพที่ 4 ลักษณะการโก่งตัวของแผงวงจรแบบงอขึ้น

โรงงานกรณีศึกษาวัดการโก่งตัวด้วยเครื่อง Laser microscope โดยทำการสแกนพื้นผิวและตัวโปรแกรมจะทำการประมวณผลและแสดงผลให้กับผู้ใช้งาน หลังจากนั้นผู้ใช้งานก็จะทำการวัดระดับความโก่งตัว โดยเทียบจากจุดกึ่งกลางของตัวชิปไปยังจุดขอบของแผงวงจรตามจุดที่แสดงในรูปภาพที่ 3 และรูปภาพที่ 4 โดยตัวอย่างผลจากการวัดแสดงดังรูปภาพที่ 5 และรูปภาพที่ 6



รูปภาพที่ 5 ค่าการวัดการโก่งตัวแบบคว่ำลง (วัดค่าได้ 5.416 ไมครอน)



รูปภาพที่ 6 ค่าการวัดการโก่งตัวแบบงอขึ้น (วัดค่าได้ -12.151 ไมครอน)

เนื่องจากผลิตภัณฑ์นี้เป็นผลิตภัณฑ์ใหม่ของโรงงานกรณีศึกษาอยู่ในช่วง NPI จำนวนชิ้นงานทั้งหมดที่มีการผลิตคือ 22 ตัว งานวิจัยนี้ได้วัดค่าการโก่งตัวของชิ้นงานทั้งหมด 22 ตัว พร้อมทั้งระบุตัวงานที่ตัวชิปเกิดการแตกแสดงดังตารางที่ 1

ตารางที่ 1 ค่าการโก่งตัวและลักษณะการแตกของชิป

ค่าการโก่งตัวของแผงวงจร (ไมครอน)	ลักษณะกายภาพของตัวชิป
5.416	ไม่แตก
5.261	ไม่แตก
1.653	ไม่แตก
10.253	ไม่แตก
6.899	ไม่แตก
-4.839	ไม่แตก
0.726	ไม่แตก
3.052	ไม่แตก

ตารางที่ 1 ค่าการโก่งตัวและลักษณะการแตกของชิป (ต่อ)

ค่าการโก่งตัวของแผงวงจร (ไมครอน)	ลักษณะกายภาพของตัวชิป
-13.334	แตก
-11.075	แตก
3.364	แตก
-12.151	แตก
-2.126	แตก
5.775	แตก
5.958	ไม่แตก
-4.825	ไม่แตก
-17.298	ไม่แตก
-21.480	ไม่แตก
0.688	ไม่แตก
0.649	ไม่แตก
-10.735	ไม่แตก
-18.659	ไม่แตก

4. ระเบียบวิธีการวิจัย

การวิจัยนี้เป็นการวิจัยเชิงปริมาณ (Quantitative Research) โดยเก็บรวบรวมข้อมูลจากผลิตภัณฑ์ชิ้นส่วนไมโครอิเล็กทรอนิกส์ (แผงวงจร / ชิป) ในโรงงานกรณีศึกษาและเป็นผลิตภัณฑ์ใหม่ที่อยู่ในช่วงเริ่มต้นกระบวนการผลิต (New Product Introduction : NPI) ข้อมูลที่ใช้ในการศึกษาครั้งนี้คือการโก่งตัว (Warp Measurement) และการแตกของชิป ค่าการโก่งตัวมีหน่วยเป็นไมครอน ถ้าชิปมีการโก่งตัวแบบงอขึ้น ค่าการโก่งตัวจะมีค่าน้อยกว่าศูนย์ และถ้าชิปมีการโก่งตัวแบบคว่ำลง ค่าการโก่งตัวจะมีค่ามากกว่าศูนย์ ส่วนข้อมูลการแตกของชิปจะอยู่ในรูปของ Binary Data โดยกำหนดให้ตัวแปร Y แทนลักษณะการแตกของชิปดังนี้ Y = 1 เป็นเหตุการณ์ที่ชิปแตก และ Y = 0 เป็นเหตุการณ์ที่ชิปไม่แตก ในที่นี้ข้อมูลที่ใช้ในการศึกษาทีจำนวนทั้งหมด 22 รายการแสดงดังตารางที่ 1

ขั้นตอนการวิจัยมีดังต่อไปนี้

1) ทบทวนวรรณกรรมที่เกี่ยวข้อง มีการตั้งสมมติฐานและเลือกใช้สถิติทดสอบให้ตรงตามสมมติฐานและปัญหาของการวิจัย ซึ่งงานวิจัยนี้เลือกใช้สถิติการถดถอยลอจิสติกทวิภาค

2) วัดและบันทึกข้อมูลการโก่งของแผงวงจรจากตัวงานทั้งหมดที่มีอยู่และข้อมูลการแตกของตัวชิป

3) วิเคราะห์การถดถอยลอจิสติกด้วยตัวแบบสมการที่ (1) โดย Y แทนลักษณะการแตกของชิป และ X แทนค่าการโก่งตัวของชิป การวิเคราะห์การถดถอยลอจิสติกข้างต้นใช้โปรแกรม Minitab Version 19 ซึ่งโรงงานกรณีศึกษามีลิขสิทธิ์การใช้งาน

5. ผลการศึกษา

เมื่อป้อนข้อมูลค่าความโก่งตัวของแผงวงจรซึ่งเป็นตัวแปรอิสระและการแตกของตัวชิปซึ่งเป็นตัวแปรตามดังตารางที่ 1 ลงในโปรแกรม Minitab Version 19 และเลือกใช้การวิเคราะห์ข้อมูลแบบการถดถอยลอจิสติก โดยกำหนดค่าความนัยสำคัญ (Level of Significant) ที่ระดับ 0.05 พบว่าได้ผลสรุปดังแสดงในตารางที่ 2

การวิจัยนี้ใช้การพิจารณาค่าภาวะความน่าจะเป็น (likelihood value) ในการตัดสินความเหมาะสมของสมการ โดยวิธีการดังกล่าวจะทำการคำนวณค่า -2LL (-2 log likelihood) ซึ่งมีการแจกแจงมีเป็นแบบ Chi - square เพื่อใช้สำหรับการทดสอบความเหมาะสมของตัวแบบ (Model) กล่าวอีกนัยหนึ่งคือเป็นการทดสอบสมมติฐานดังนี้

H_0 : สัมประสิทธิ์การถดถอยลอจิสติกของความโก่งของแผ่นแผงวงจรมีค่าเท่ากับศูนย์

H_1 : สัมประสิทธิ์การถดถอยลอจิสติกของความโก่งของแผ่นแผงวงจรมีค่าไม่เท่ากับศูนย์

ตารางที่ 2 ตัวแปรอิสระและผลการประมวลผลจากโปรแกรม Minitab

Predictor	Coefficient	Standard Error	Odds ratio	P-Value
Constant	-1.091	0.528		0.039
Warp	-0.030	0.052	0.970	0.554

ทั้งนี้ค่า Log likelihood = -12.717 และค่า P - value = 0.555 รวมถึงค่า R - Square = 1.35% ส่วนสมการถดถอยลอจิสติกทวิภาคสามารถเขียนได้ดังสมการที่ (4)

$$P(Chip\ crack) = \frac{e^{-1.091-0.030(Warp)}}{1+e^{-1.091-0.030(Warp)}} \qquad (4)$$

จากผลการวิเคราะห์การถดถอยลอจิสติกทวิภาคโดยใช้โปรแกรม Minitab Version 19 ให้ค่า Log likelihood เท่ากับ -12.717 และให้ค่า P - Value เท่ากับ 0.555 ซึ่งค่า P - Value ที่ได้มีค่ามากกว่า Type I error ที่กำหนดไว้คือ 0.05 ดังนั้นจึงสรุปผลได้ว่ายอมรับ H_0 คือสัมประสิทธิ์ถดถอยลอจิสติกทวิภาคของความโก่งของแผ่นแผงวงจรมีค่าเท่ากับศูนย์ที่ความเชื่อมั่น 95% ทั้งนี้ค่า Odds ratio มีค่า 0.970 ซึ่งมีค่าใกล้กับหนึ่งนั่นหมายความว่าโอกาสที่จะเกิดการแตกของตัวชิปกับโอกาสที่จะไม่เกิดการแตกของตัวชิปมีเกือบเท่าๆกันแม้ว่าความโก่งของแผงวงจรจะเป็นเท่าไหร่ รวมถึงค่า R - Square ที่มีค่าน้อยมากเพียง 1.35% ซึ่งความสามารถในอธิบายความน่าจะเป็นในการเกิดการแตกของชิปจากความโก่งตัวของแผงวงจรมีเพียง 1.35% เท่านั้น นั่นหมายความว่าการโก่งตัวของแผ่นแผงวงจรที่มีค่าระหว่าง -21.480 ถึง 10.253 ไมครอนไม่ส่งผลกับโอกาสการเกิดการแตกของตัวชิป ดังนั้นโรงงานกรณีศึกษาจึงสามารถใช้ค่าการโก่งตัวดังกล่าวเป็นขอบเขตค่าความโก่งของแผ่นแผงวงจรในเบื้องต้นของผลิตภัณฑ์นี้ได้ จนกว่าผลิตภัณฑ์นี้จะมีการทำเป็นการผลิตจริง (Mass production) ที่มีปริมาณมากและสามารถเก็บข้อมูลได้เพิ่มเติมจากปัจจุบันและทำการวิเคราะห์ทางสถิติอีกครั้งหนึ่งเพื่อพิจารณาและกำหนดขอบเขตค่าการโก่งตัวของแผงวงจรจากข้อมูลใหม่ ทั้งนี้ทางโรงงานกรณีศึกษายังต้องทำการหาปัจจัยอื่นที่ส่งผลกับการแตกของตัวชิปโดยสาเหตุหลักอีกส่วนหนึ่งก็คือตัวชิปเอง โดยโรงงานกรณีศึกษาต้องทำการปรึกษากับทางผู้ผลิตตัวชิปอีกครั้ง โดยงานวิจัยนี้นำเสนอการประยุกต์ใช้วิธีทางสถิติการถดถอยลอจิสติกของชิ้นงานที่เกิดการแตกหักอันเกิดจากการโก่งงอแล้วมีแรงมากระทำตาม ซึ่งสามารถนำแนวทางที่เสนอไปประยุกต์ใช้กับงานอุตสาหกรรมอื่นๆ ที่มีการแตกหักอันเกิดจากการโก่งงอและมีแรงมากระทำได้เช่นกัน ทั้งนี้เพื่อใช้ในการหาปัจจัยที่ที่เกี่ยวข้องจนไปถึงการทำนายโอกาสที่จะทำให้เกิดการแตกหักตามมาได้

6. สรุปผลการวิจัยและอภิปรายผลการวิจัย

การวิจัยนี้เป็นการแสดงถึงการประยุกต์ใช้เครื่องมือทางสถิติให้กับภาคอุตสาหกรรม โดยได้แสดงให้เห็นว่าการถดถอยลอจิสติกสามารถใช้ได้ในการหาความสัมพันธ์ระหว่างความโก่งของแผ่นแผงวงจรกับการแตกของตัวชิป โดยสามารถสรุปผลได้ว่า ค่าความโก่งของแผ่นแผงวงจรระหว่างค่า -21.480 ถึง 10.253 ไมครอนจะไม่ได้ส่งผลให้เกิดการแตกของตัวชิปในขณะที่มีการกดตัวแผ่นแผงวงจรให้แนบกับฐานของการทดสอบขั้นสุดท้ายและส่งผลทำให้โรงงาน

กรณีศึกษาสามารถตัดตัวแปรสาเหตุของการทำให้ตัวชิปแตกได้หนึ่งตัวแปรหลัก หากทำการพิจารณาต่อในส่วนของลักษณะการโก่ง โดยให้การโก่งตัวแบบคว่ำลงมีค่าเป็น 1 และหากมีการโก่งตัวแบบงอขึ้นมีค่าเท่ากับ 0 แล้วทำการวิเคราะห์การถดถอยลอจิสติกทวิภาคกับการแตกของตัวชิป พบว่าการโก่งตัวทั้งสองลักษณะไม่ส่งผลต่อการแตกของตัวชิป เนื่องจาก P - Value เท่ากับ 0.232 ซึ่งค่า P - Value ที่ได้มีค่ามากกว่า Type I error ที่กำหนดไว้คือ 0.05 ดังนั้นจึงสรุปผลได้ว่ายอมรับ H_0 คือสัมประสิทธิ์ถดถอยลอจิสติกทวิภาคของความโก่งแบบคว่ำและแบบหงายของแผ่นแผงวงจรมีค่าเท่ากับศูนย์ที่ความเชื่อมั่น 95% แต่ทั้งนี้ค่า Odds ratio มีค่าเท่ากับ 3.33 ซึ่งค่าดังกล่าวแสดงให้ทราบว่าการโก่งแบบคว่ำมีโอกาสเป็น 3.33 เท่า ที่จะทำให้เกิดเหตุการณ์การแตกของชิป ซึ่งข้อมูลดังกล่าวโรงงานกรณีศึกษาสามารถนำไปใช้เป็นข้อมูลเพื่อนำไปใช้ศึกษาต่อในกรณีที่มีผลิตภัณฑ์ชนิดใหม่ ทั้งนี้เมื่อสามารถตัดประเด็นทางด้านการโก่งตัวของตัวแผงวงจรแล้ว ยังคงเหลือตัวแปรทางด้านวัตถุดิบก็คือตัวชิปเอง เนื่องจากกระบวนการผลิตตัวชิปสามารถทำให้เกิดการแตกแบบในระดับไมครอนได้ (Micro crack) (Zhang et. al., 2005) โดยกระบวนการหลักดังกล่าวคือกระบวนการตัดแบ่งแยกให้เกิดเป็นตัวชิปที่เป็นหนึ่งในปัญหาหลักของตัวชิปเองที่ก่อให้เกิดการแตกได้ในภายหลัง หากมีแรงมากระทำในระดับหนึ่ง (Ma and Boa, 2010) ทั้งนี้เนื่องจากจำนวนตัวอย่างในการคำนวณยังมีไม่มากพอ โดยในการวิจัยต้องการจำนวนตัวอย่างอย่างน้อย 30 ตัวอย่าง แต่เนื่องจากโรงงานกรณีศึกษามีจำนวนผลิตน้อยเนื่องจากเป็นผลิตภัณฑ์ใหม่และต้องการปรับแก้การออกแบบตัวแผงวงจร ซึ่งต้องใช้เวลาในการออกแบบรวมทั้งทดสอบความแกร่งของผลิตภัณฑ์เป็นเวลาอีกประมาณ 6 เดือน จึงทำให้ไม่สามารถผลิตตัวงานเพิ่มเพื่อให้ได้ขนาดตัวอย่างตามที่ต้องการได้ อย่างไรก็ตาม ทางโรงงานกรณีศึกษามีความต้องการกำหนดค่าความโก่งเบื้องต้นทั้งแบบโก่งคว่ำและหงายให้กับผู้ผลิตแผงวงจรในเบื้องต้น ซึ่งโรงงานกรณีศึกษายอมรับได้กับการใช้จำนวนตัวอย่างดังกล่าว ทั้งนี้ทางโรงงานกรณีศึกษาเข้าใจหลักการและการใช้โปรแกรมในการคำนวณแล้ว หากมีการผลิตในครั้งหน้าหรือเจอปัญหาลักษณะเดียวกัน ทางโรงงานกรณีศึกษาก็มีความเข้าใจและสามารถประยุกต์ใช้การถดถอยลอจิสติกทวิภาคได้

7. กิตติกรรมประกาศ

การวิจัยนี้ได้รับการอนุเคราะห์ในการเก็บข้อมูลจากโรงงานกรณีศึกษา ผู้วิจัยขอขอบคุณคณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลรัตนโกสินทร์ในการสนับสนุนส่งเสริมให้เกิดงานวิจัยและเผยแพร่การตีพิมพ์ในครั้งนี้

8. เอกสารอ้างอิง

กัลยา วานิชย์บัญชา. (2559). **การวิเคราะห์สถิติขั้นสูงด้วย SPSS for Windows**. กรุงเทพฯ: ศูนย์หนังสือแห่งจุฬาลงกรณ์มหาวิทยาลัย.

Baloglu, B., Lin, W., Stratton, K., Jimarez, M., & Brady, D. (2013). **Warpage Characterization and Improvements for IC Packages With Coreless Substrate**. Proceedings of the 46th International Symposium on Microelectronics. IMAPS, 260–284.

Zhang, B., Chen, N., & Zhang, F. (2005). **Methods for searching the cause of crack**. Proceedings of the 12th International Symposium on the Physical and Failure Analysis of Integrated Circuits, 222-225.

Edgar, T. F., Butler, S. W., Campbell, W. J., Pfeiffer, C., Bode, C., Hwang, S. B., Balakrishnan, K. S., & Hahn, J. (2000). Automatic control in microelectronics manufacturing: Practices, challenges, and possibilities. **Automatica**, 36(11), 1567-1603.

Harman, G. (2010). **Wire Bonding in Microelectronics**. (3rd ed.). New York: McGraw-Hill.

Hosmer Jr, D. W., Lemeshow, S., & Sturdivant, R. X. (2013). **Applied Logistic Regression**. (3rd ed.). Hoboken, New Jersey: Wiley.

Amelung, J., Galetzka, M., & Galle, C. (2019). **Research Fab Microelectronics Germany - Cooperative Development and Manufacturing of Smart Microsystems**. Proceedings of the 13th International Conference and Exhibition on Integration Issues of Miniaturized Systems, 1-5.

Kutner, M. H., Nachtsheim, C. J., & Neter, J. (2004). **Applied Linear Regression Models**. (4th ed.). Irwin: McGraw-Hill.

Ma, L., & Bao, S. X. (2010). **Failure analysis of cracked die.** China Semiconductor Technology International Conference, 281-287.

Montgomery, D., Peck, E., & Vining, G. (2006). **Introduction to Regression Analysis**. New Jersey: A John Wiley & Sons Inc Publication.

Noyce, R. (1977). Microelectronics. **Scientific American**, 237(3), 62-69.

Palei, S. K., & Das, S. K. (2009). Logistic regression model for prediction of roof fall risks in board and pillar workings in coal mines: An approach. **Safety Science**, 47, 88–96.

Razavi, B. (2021). **Fundamental of microelectronics: with robotics and bioengineering application**. (3rd ed.). Hoboken: Wiley.

Strano, M., & Colosimo, B. M. (2006). Logistic regression analysis for experimental determination of forming limit diagrams. **International Journal of Machine Tools and Manufacture**, 46(6), 673–682.

Tolles, J., & Meurer, W. J. (2016). Logistic Regression Relating Patient Characteristics to Outcomes. **JAMA Guide to Statistics and Methods**, 316(5), 533–534.

Veendrick, H. (2011). **Bits on Chips**. Cham: Springer.

Zhang, B., Chen, N., & Zhang, F. (2005). **Methods for searching the cause of crack.** 12th International Symposium on the Physical and Failure Analysis of Integrated Circuits, 222-225.

Zhang, H., Minter, J., & Lee, N. C. (2019). A Brief Review on High-Temperature, Pb-Free Die-Attach Materials. **Journal of Elec Materi**, 48, 201-210.

Zhijie, W., Lim, T., Yingwei, J., Changliang, Z., BaoGuan, Y., & Wei, X. (2010). **Die crack mechanism study and improvement on 54ld SOIC EP package.** Proceedings of 12th Electronics Packaging Technology Conference, 217-223.