วิวัฒนาการของวงจรสายพานกระแสรุ่นที่สองแบบใช้วงจรขยายผลต่างสัญญาณเป็นโครงสร้างพื้นฐาน

Differential Amplifier-Based Second Generation Current Conveyor: Review and Recent Development

วัลลภ สุระกำพลธร[1] ขนิษฐา แก้วแดง*[2]
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง กรุงเทพมหานคร 10520
คณะวิศวกรรมศาสตร์ มหาวิทยาลัยอุบลราชธานี อ.วารินชำราบ จ.อุบลราชธานี 34190

Wanlop Surakampontorn[1] Khanittha Kaewdang*[2]
[1]Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520
Tel: 0-2326-4224 E-mail: kswanlop@kmitl.ac.th
[2]Faculty of Engineering, Ubon Ratchathani University, Warinchamrap, Ubonratchathani 34190
Tel: 0-4535-3354 E-mail: khanittha.k@ubu.ac.th

บทคัดย่อ

ในบทความนี้ เป็นการทบทวนถึงพัฒนาการการออกแบบวงจรสายพานกระแสรุ่นที่สองแบบใช้วงจรขยายผลต่างสัญญาณ เป็นหลักในการออกแบบ บทความได้ทำการรวบรวมการประยุกต์วงจรสายพานกระแสของวงจร Surakampontorn และได้ทำการศึกษาเปรียบเทียบวงจรสายพานกระแสในกลุ่มนี้ ซึ่งมีอยู่ 7 วงจร ประกอบด้วย วงจรของ Surakampontorn และคณะ วงจรของ Liu และคณะ วงจรของ Palmisano และคณะ วงจรของ Ismail และ Soliman วงจรของ Yodprasit วงจรของ Laopoulos และคณะ และ วงจรของ Elwan และ Soliman นอกจากนี้ยังได้นำตารางแสดงการเปรียบเทียบคุณสมบัติของวงจรสายพานกระแสที่ได้มีการศึกษาโดย Hassanenin และคณะ มาแสดงในบทความนี้ด้วย

คำหลัก วงจรสายพานกระแส วงจรขยายผลต่างสัญญาณ ซีมอส

Abstract

A review on the recent developments of second generation current conveyors (CCII) that implemented by based on the used of long tail pair differential amplifiers is outlined in this article. The applications and modifications of Surakampontorn CCII circuits are discussed. Seven differential-amplifier-based CCII circuits are listed, i.e. Surakampontorn *et al.* CCII, Liu *et al.* CCII, Palmisano *et al*. CCII, Ismail *and* Soliman CCII, Yodprasit CCII, Laopoulos *et al.* CCII, and Elwan *and* Soliman CCII. Through simulation results that has been studied by Hassanenin *et al*., the comparison of the CCII characteristics and performances of the CCIIs are also reported.

Keywords: Current conveyor, differential amplifier, CMOS.

1. บทนำ

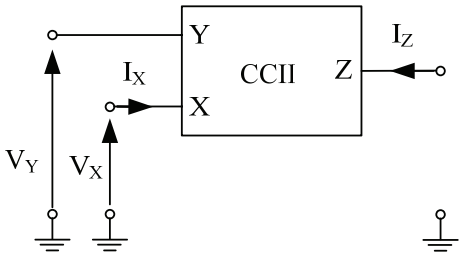
เป็นที่ทราบกันดีว่าแต่เดิมนั้น สัญญาณทางธรรมชาติทั้งหลายมักจะถูกแปลงเป็นในรูปแบบของสัญญาณแรงดันไฟฟ้า และทำการประมวลผลสัญญาณแรงดันไฟฟ้านี้ ซึ่งเรียกว่าเป็นการทำงานในโหมดแรงดัน (voltage mode) การประมวลผลโดยผ่านสัญญาณแรงดันนี้ทำให้ มีความจำเป็นที่วงจรอิเล็กทรอนิกส์ต้องใช้แรงดันไฟเลี้ยงจ่ายสูง ใช้แบตเตอรี่ขนาดใหญ่ แต่ด้วยพัฒนาการของการออกแบบวงจรรวม (Integrated Circuit หรือ IC) ที่ทำให้ระบบวงจรอิเล็กทรอนิกส์มีขนาด

เล็กลงไปมาก โดยเฉพาะระบบวงจรอิเล็กทรอนิกส์ที่ใช้ในอุปกรณ์พกพา ที่ใช้แรงดันไฟเลี้ยงต่ำ กินกำลังไฟฟ้าน้อย มีขนาดเล็ก เมื่อต้องใช้แบตเตอรี่ขนาดเล็กแรงดันไฟจ่ายต่ำ การประมวลผลผ่านสัญญาณแรงดันจึงมีขีดจำกัด นักวิจัยจึงจำเป็นต้องหันไปทำการประมวลสัญญาณในรูปแบบสัญญาณกระแส หรือ โหมดกระแส (current mode) แทน [1] ด้วยแนวโน้มนี้ทำให้นักวิจัยต่างพากันนำเสนอ อุปกรณ์วงจรพื้นฐานหลักทางแอนะล็อก (analog circuit building block) สำหรับการประมวลผลสัญญาณโหมดกระแสขึ้นมา แนวคิดหนึ่งที่มีการนำเสนอก็คืออุปกรณ์วงจรพื้นฐานที่มีชื่อเรียกว่า วงจรสายพานกระแส (Current Conveyor หรือ CC) ซึ่งมีการนำเสนอในปี ค.ศ. 1968 โดย K.C. Smith และ A. Sedra โดยเรียกชื่อว่า วงจรสายพานกระแสรุ่นที่หนึ่ง หรือ CCI (first generation current conveyor) [2] และได้ทำการพัฒนาแนวคิดให้มีความหลากหลายในการออกแบบและการประยุกต์ใช้มากยิ่งขึ้น โดยใน ปี ค.ศ. 1970 ได้เสนอวงจรสายพานกระแสรุ่นที่สอง หรือ CCII (second generation current conveyor) [3] ภายหลังจากนั้นมีนักวิจัยได้ทำการขยายแนวคิด นำเสนอการประยุกต์ใช้ รวมถึงการนำเสนอวิธีการสร้างเป็นวงจรโดยเฉพาะการสร้างเป็นวงจรรวมอย่างมากมาย ซึ่งผู้ที่สนใจสามารถศึกษารายละเอียดเพิ่มจากบทความที่รวบรวมผลงานเหล่านี้ในบทความ [4 – 9] ได้ ต่อมาใน ปี ค.ศ. 2000 ก็มีการขยายแนวคิดเพิ่มเติม โดยเสนอเป็นวงจรสายพานกระแสรุ่นที่สาม CCIII (third generation current conveyor) ขึ้นมา [10,11] ทำให้วงจรสายพานกระแสมีการประยุกต์ใช้ที่หลากหลายมากยิ่งขึ้น

อย่างไรก็ตามงานวิจัยที่เกี่ยวข้องกับการออกแบบและการประยุกต์ของวงจรสายพานกระแสมีอยู่มาก การนำมากล่าวถึงทั้งหมดจะไม่สามารถทำให้ศึกษาถึงในรายละเอียดที่ลึกซึ้งได้ ในบทความวิชาการนี้จึงขอกล่าวเฉพาะการนำเสนอแนวคิดของวงจรสายพานกระแสรุ่นที่สอง ที่ออกแบบจากการใช้วงจรขยายผลต่างสัญญาณ (Differential Amplifier: Diff. Amp) หรือ อาจเรียกว่า วงจรคู่หางยาว (long tail pair) ซึ่งเป็นวงจรพื้นฐานสำคัญหนึ่งในการออกแบบวงจรรวม และเน้นเฉพาะพัฒนาการของการออกแบบเป็นวงจรรวมแบบเทคโนโลยีซีมอสเป็นหลัก

2. วงจรสายพานกระแสรุ่นที่สองและตัวอย่างการประยุกต์

วงจรสายพานกระแสรุ่นที่สองเป็นวงจรแบบ 3 พอร์ท ตามแผนผังวงจรรูปที่ 1 เราสามารถอธิบายความสัมพันธ์ระหว่างแรงดันและกระแสในพอร์ททั้ง 3 ดังสมการ (1)



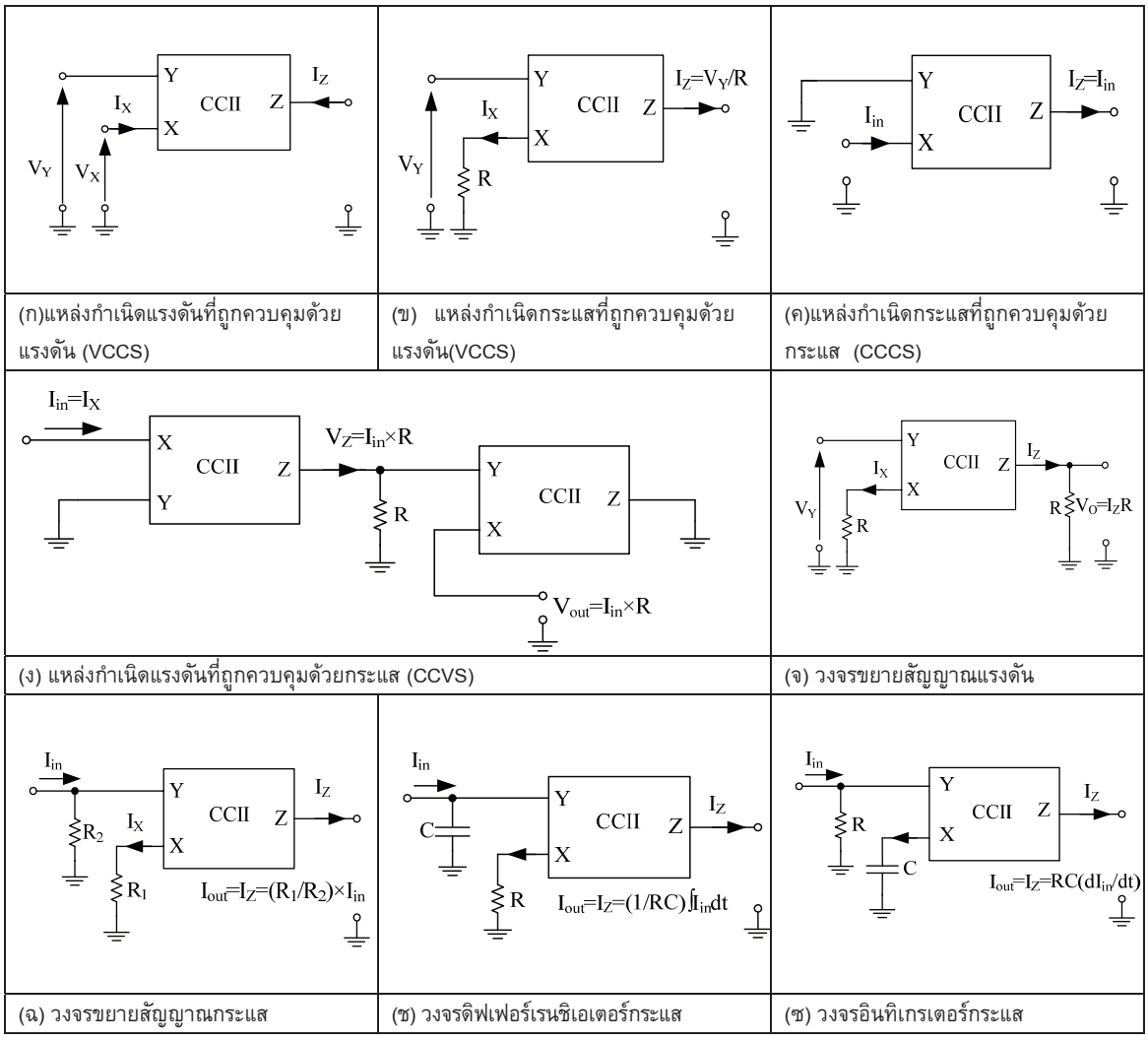
รูปที่ 1 แผนภาพแบบบล็อกของวงจรสายพานกระแสรุ่นที่สอง

$$i_y = 0 \; ; \quad V_x = V_y \quad \text{และ} \; i_z = \pm i_x \qquad (1)$$

จากสมการ (1) แสดงให้เห็นว่าคุณสมบัติของวงจรสายพานกระแสรุ่นที่สอง มีนัยสำคัญโดยเฉพาะการนำแนวคิดนี้ไปสร้างเป็นวงจร ซึ่งสามารถแยกกล่าวถึงได้ดังนี้ คือ

(ก) ความสัมพันธ์ระหว่างพอร์ท X และพอร์ท Y มีคุณสมบัติเป็นวงจรกันชนแรงดัน หรือ บัฟเฟอร์ (voltage buffer) ที่ทำการถ่ายโอนแรงดันจากพอร์ท X ไปยังพอร์ท Y โดยมีค่าขยายสัญญาณเป็น 1 เท่า $V_x = V_y$ อิมพิแดนซ์หรือความต้านทานจุดสัญญาณเข้าที่พอร์ท Y มีค่าสูงมาก ตามอุดมคติมีค่าเป็นอนันต์ นั่นคือทำให้ไม่มีกระแสไหลเข้าพอร์ท Y หรือ i_Y = 0

(ข) ความสัมพันธ์ระหว่างพอร์ท X และพอร์ท Z มีถ่ายโอนกระแสจากพอร์ท X ไปยังพอร์ท Z โดยมีค่าการขยายกระแสเป็น 1 เท่า $i_z = i_x$ ส่วนเครื่องหมาย ± แสดงถึงทิศทางการถ่ายโอนของกระแสจากพอร์ท X ไปยังพอร์ท Z ถ้าเป็นเครื่องหมายบวก (+) แสดงว่ากระแส i_Z มีทิศทางการไหลทิศทางเดียวกับกระแส i_x และถ้าเป็นเครื่องหมายลบ (-) แสดงว่ากระแส i_Z มีทิศทางการไหลกลับทิศทางกับทิศทางของกระแส i_x และ



(ก)แหล่งกำเนิดแรงดันที่ถูกควบคุมด้วยแรงดัน (VCCS)

(ข) แหล่งกำเนิดกระแสที่ถูกควบคุมด้วยแรงดัน(VCCS)

(ค)แหล่งกำเนิดกระแสที่ถูกควบคุมด้วยกระแส (CCCS)

(ง) แหล่งกำเนิดแรงดันที่ถูกควบคุมด้วยกระแส (CCVS)

(จ) วงจรขยายสัญญาณแรงดัน

(ฉ) วงจรขยายสัญญาณกระแส

(ช) วงจรดิฟเฟอร์เรนชิเอเตอร์กระแส

(ซ) วงจรอินทิเกรเตอร์กระแส

รูปที่ 2 แสดงตัวอย่างการประยุกต์เป็นวงจรคำนวณเบื้องต้น

(ค) เนื่องจากพอร์ท X เป็นจุดกระแสสัญญาณเข้า อิมพิแดนซ์จุดสัญญาณเข้าที่พอร์ท X จึงควรมีค่าน้อยมาก และพอร์ท Z เป็นจุดกระแสสัญญาณออก ดังนั้นอิมพิแดนซ์จุดสัญญาณออกที่พอร์ท Z จึงมีค่าสูงมากตามอุดมคติมีค่าเป็นอนันต์

รูปที่ 2 แสดงถึงการประยุกต์เบื้องต้นของวงจรสายพานกระแสรุ่นที่สอง (CCII) ในสิ่วงจรแรกนั้นเป็นการนำเอาวงจรสายพานกระแสไปสร้างเป็น แหล่งจ่ายไม่อิสระ (dependent source) ที่ตามหลักของโครงข่ายวงจรแอคทีฟมีอยู่ 4 รูปแบบด้วยกัน [12] คือรูป 2(ก) แหล่งจ่ายแรงดันที่ถูกควบคุมด้วยแรงดัน (Voltage Controlled Voltage Source หรือ VCCS) รูป 2(ข) แหล่งจ่ายกระแสที่ถูกควบคุมด้วยแรงดัน (Voltage Controlled Current Source หรือ VCCS) รูป 2(ค) แหล่งจ่ายกระแสที่ถูกควบคุมด้วยกระแส (Current Controlled Voltage Source หรือ CCCS) และ รูป 2(ง) แหล่งจ่ายแรงดันที่ถูกควบคุมด้วยกระแส (Current Controlled Voltage Source หรือ CCVS) วงจรตามรูป 2(จ) และ รูป 2(ฉ) เป็นการนำวงจรสายพานกระแสเพื่อทำหน้าที่เป็นวงจรขยายสัญญาณแรงดัน (voltage amplifier) และวงจรขยายสัญญาณกระแส (current amplifier) ตามลำดับ สองวงจรที่เหลือนี้เป็นการนำวงจรสายพานกระแสไปต่อเป็นวงจรคำนวณฟังก์ชั่นทางคณิตศาสตร์ โดยวงจรตามรูป 2(ช) และรูป 2(ซ) เป็นวงจรดิฟเฟอเรนชิเอเตอร์กระแส (current differentiator) และวงจรอินทิเกรเตอร์กระแส (current integrator)

ตามลำดับ สำหรับวงจรที่ซับซ้อนกว่านี้นักวิจัยสามารถศึกษาได้จาก [1]

ยกตัวอย่าง การวิเคราะห์วงจรตามรูป 2(ง) ซึ่งเป็นแหล่งกำเนิดแรงดันที่ถูกควบคุมด้วยกระแส เนื่องจากพอร์ท Y ของ CCII ตัวแรกต่อลงศักย์ดิน ทำให้พอร์ท X มีศักย์เป็นค่าศูนย์ กระแสสัญญาณเข้า I_{IN} ที่ป้อนเข้าที่พอร์ท X ถูกถ่ายโอนไปยังพอร์ท Z ทำให้ $I_Z = I_{IN}$ ทำให้แรงดันที่ตกคร่อมความต้านทาน R และก็คือแรงดันที่ป้อนเข้าที่พอร์ท Y ของ CCII ตัวที่สองมีค่าเป็น $V_Y = I_{IN} \times R$ และเนื่องจากแรงดันที่พอร์ท X จะเท่ากับแรงดันที่พอร์ท Y ดังนั้นทำให้ศักย์สัญญาณออกของวงจรมีค่าเป็น $V_{OUT} = V_X = I_{IN} \times R$ และเนื่องจากอิมพิแดนซ์จุดสัญญาณเข้าที่พอร์ท X มีค่าต่ำจึงทำให้จุดสัญญาณออกเป็นแหล่งกำเนิดแรงดันที่ดีด้วย

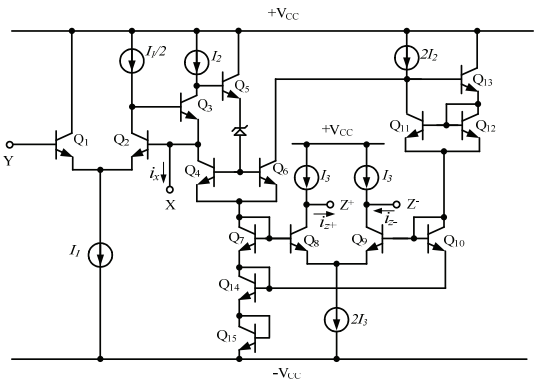
3. วงจรสายพานกระแสออกแบบใช้วงจรขยายผลต่างสัญญาณเป็นโครงสร้างพื้นฐาน

3.1 วงจรสายพานกระแสปรับค่าด้วยวิธีอิเล็กทรอนิกส์

ในบทความของ A. Sedra และ K.C. Smith ที่นำเสนอหลักการของวงจรสายพานกระแสรุ่นที่สอง [3] ได้กล่าวถึงการสร้างเป็นวงจรตามสมการ (1) ไว้ด้วย แต่ยังเป็นวงจรที่มีความแม่นยำต่ำ และนำไปประยุกต์ยากความจริงในขณะนั้นมีวงจรที่มีฟังก์ชั่นการทำงานที่คล้ายวงจรสายพานกระแสอยู่บ้างแล้ว วงจรดังกล่าวมีชื่อเรียกว่า วงจรแปลงสัญญาณแรงดันเป็นกระแส (Voltage to current converter หรือ V-I) นักวิจัยได้นำเสนอหลักการออกแบบวงจร V-I ไว้หลากหลายรูปแบบ [13-15] ซึ่งวงจรเหล่านี้สามารถนำมาดัดแปลงเป็นวงจรสายพานกระแสได้ ในปี ค.ศ. 1988 W. Surakampontorn และ P. Thitimajshima ได้ขยายนิยามให้วงจรสายพานกระแสมีคุณสมบัติของการปรับค่าได้ทางอิเล็กทรอนิกส์ โดยคุณสมบัติของวงจรสายพานกระแสที่ปรับค่าด้วยวิธีอิเล็กทรอนิกส์ (Electronically Tunable Second Generation Current Conveyor หรือ ECCII) อธิบายได้ตามสมการ [16]

$$i_y = 0 \; ; \quad V_x = V_y \quad \text{และ} \quad i_z = \pm A_O i_x \qquad (2)$$

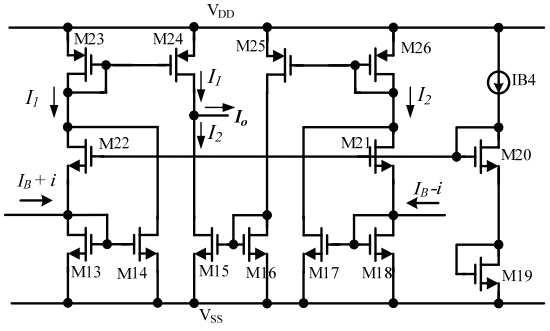
ดังนั้นจากสมการ (2) จะเห็นว่าวงจรจะสามารถขยายสัญญาณกระแส i_z / i_x เป็น $\pm A_O$ เท่า



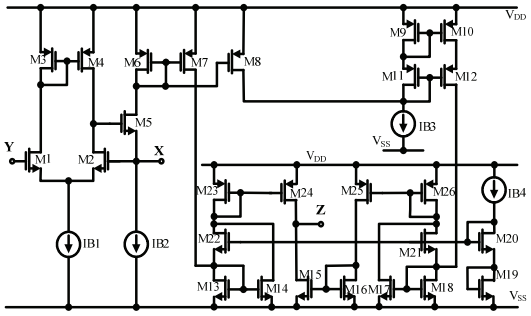
รูปที่ 3 วงจรสายพานกระแสแบบปรับค่าได้ด้วยวิธีอิเล็กทรอนิกส์ [16]

รูปที่ 3 แสดงวงจรของ ECCII ที่ออกแบบด้วยหลักการของวงจรรวมแบบเทคโนโลยีไบโพลาร์ (bi-polar technology) ทรานซิสเตอร์ Q_1, Q_2 และแหล่งกำเนิดกระแส I_1 ต่อกันเป็นวงจรขยายผลต่างสัญญาณ เพื่อทำหน้าที่เป็นวงจรถ่ายโอนแรงดัน ให้แรงดันที่พอร์ท X เท่ากับค่าแรงดันที่พอร์ท Y หรือ $V_x = V_y$ ทรานซิสเตอร์ Q_3 ทำหน้าที่เป็นตัวถ่ายโอนกระแส ส่วน Q_2, Q_3 และแหล่งกำเนิดกระแส $I_1/2$ ต่อกันเป็นวงจรป้อนกลับเพื่อให้ความต้านทานจุดสัญญาณเข้าที่พอร์ท X มีค่าต่ำ Q_4 ถึง Q_{15} ต่อกันเป็นวงจรขยายแบบกิลเบิรต์เพื่อให้กระแสสัญญาณออกมีค่าเป็น $i_Z = A_O i_X = (I_3/I_2) i_X$ นั้นคือค่าอัตราขยาย $A_O = I_3 / I_2$ สามารถปรับค่าได้โดยการปรับค่ากระแส I_2 หรือ I_3

ในปี ค.ศ. 1992 W. Surakampontorn และ K. Kumwachara ได้นำเสนอหลักการออกแบบวงจรขยายสัญญาณกระแสขนาดเล็กแบบสร้างเป็นเทคโนโลยีซีมอส รูป 4(ก) และ ใช้วงจรขยายกระแสสัญญาณนี้ในการออกแบบวงจรสายพานกระแสแบบปรับค่าได้ด้วยวิธีอิเล็กทรอนิกส์ หรือ ECCII [17] โดยที่ตามวงจรรูปที่ 4 (ข) ซึ่งวงจรทำงานคล้ายกับวงจร ECCII รูปที่ 3 โดยที่ทรานซิสเตอร์แบบมอส M1 ถึง M7 ต่อกันเป็นวงจรขยายสัญญาณกระแสขนาดเล็ก M9 ถึง M12 ต่อกันเป็นวงจรขยายผลต่างสัญญาณเพื่อถ่ายโอนแรงดันจากพอร์ท Y ไปพอร์ท X และมอสทรานซิสเตอร์ M10 ถึง M13 ต่อกันเป็นวงจรถ่ายโอนกระแส



(ก)



(ข)

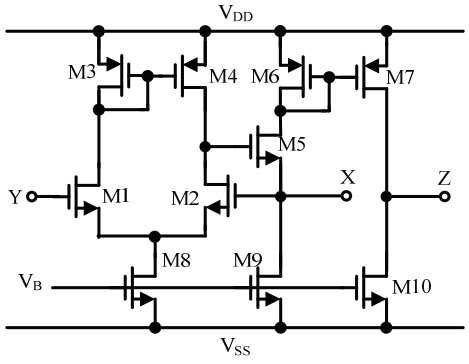
รูปที่ 4 (ก) วงจรขยายสัญญาณกระแส (ข) วงจรสายพานกระแสแบบปรับค่าได้ด้วยวิธีอิเล็กทรอนิกส์ [17]

วงจรตามรูปที่ 3 และรูปที่ 4(ก) เป็นวงจรที่ทำงานในคลาสเอ (class A) อาจมีผลให้เกิดความผิดเพี้ยนทางฮาร์มอนิกมากได้ ดังนั้น A. Fabre และ N. Mimeche ได้เสนอวงจรที่ทำงานในคลาสเอบี (class AB) แบบเทคโนโลยีไบโพลาร์ไว้ในปี ค.ศ. 1997 [18] ในปี 1997 C.A. Papazoglou และ C.A. Karybakas แสดงการนำ ECCII ไปใช้ในการออกแบบวงจรกรองในโหมดกระแสที่สามารถปรับค่าได้ด้วยวิธีอิเล็กทรอนิกส์ และใช้วงจรรูปที่ 4(ข) เป็น ECCII [19] และในปี ค.ศ. 1998 C.A. Papazoglou และ C.A. Karybakas ได้นำวงจรรูปที่ 4(ข) (รูปที่ 5 ในบทความ) เป็นวงจรพื้นฐานหลักในการทดสอบวงจรที่เป็นผลจากการแปลงจากวงจรกรองที่ใช้ออปแอมป์เป็นฐานมาเป็นวงจรที่ใช้วงจรสายพานกระแสเป็นฐาน [20] และในปี ค.ศ. 2006 Shahram Minaei และคณะ ได้นำเสนอวงจร ECCII ที่สร้างด้วยเทคโนโลยีซีมอสแบบใหม่ พร้อมทั้งนำเสนอการประยุกต์ใช้ในการออกแบบวงจรกรองโหมดกระแสไว้ด้วย [21-22] โดยรูปที่ 1 ของบทความ [21] ใช้วงจรขยายกระแสตามรูปที่ 4 (ก) และรูปที่ 4 ในบทความคือวงจรสายพานกระแสตามรูปที่ 4 (ข) ในบทความ [22] ออกแบบโดยนำเอาวงจรขยายกระแสสัญญาณรูป 4(ข) ไปประยุกต์ นอกจากนี้ยังมีผลงานการออกแบบวงจร ECCII ซึ่งวงจรขยายกระแสออกแบบโดยอาศัยหลักการของวงจรทรานส์ลิเนียร์ (Translinear) [23] และวงจรที่ออกแบบสำหรับกับการสร้างเป็นเทคโนโลยีไบโพลาร์ [24] ด้วย

3.2 วงจรสายพานกระแสแบบเทคโนโลยีซีมอส

ในบทความนี้จะขอนำเสนอเฉพาะวงจรสายพานกระแสที่ออกแบบโดยนำเอาวงจรขยายผลต่างสัญญาณมาประยุกต์เป็นวงจรตามแรงดันเท่านั้น โดยในการอธิบายสมมุติให้ทรานซิเตอร์ทุกตัวถูกไบอัสให้ทำงานในช่วงอิ่มตัว (saturation region) และให้วงจรจ่ายกระแสคงตัวจ่ายกระแสค่า I_B ซึ่งมีผลงานที่สำคัญที่จะนำมากล่าวถึงดังต่อไปนี้ คือ

3.2.1 วงจรสายพานกระแสของ W. Surakampontorn และคณะ [25]



รูปที่ 5 วงจรสายพานกระแสของ W. Surakampontorn และคณะ

คุณสมบัติของวงจร แสดงดังสมการ (3) และ (4)

$$\frac{V_X}{V_Y} = \frac{g_{m1}}{g_{m1} + g_{d2} + g_{d3}} \tag{3}$$

$$r_X = \frac{g_{d2} + g_{d4}}{g_{m5}(g_{m1} + g_{d2} + g_{d4})} \text{ และ } r_Z = \frac{1}{g_{d7} + g_{d10}} \tag{4}$$

ด้วยความคล้ายกันของหลักการของการออกแบบวงจร V-I ในปี ค.ศ. 1991 W. Surakampontorn และคณะ จึงได้นำหลักการออกแบบของวงจรในบทความ [15] มาดัดแปลงเป็นวงจรสายพานกระแสรุ่นที่สองที่เหมาะสมกับ

การสร้างเป็นวงจรรวมแบบซีมอส ซึ่งอาจกล่าวได้ว่าเป็นวงจรที่ออกแบบเป็นเทคโนโลยีแบบซีมอสที่มีการนำเสนอเป็นรายแรกๆ วงจรดังกล่าวได้แสดงไว้ในรูปที่ 5

การทำงานของวงจรอธิบายได้ คือ ทรานซิสเตอร์ M1 M2 และแหล่งจ่ายกระแส I_{B1} ต่อกันเป็นวงจรวงจรขยายผลต่างสัญญาณ เพื่อทำหน้าที่เป็นวงจรถ่ายโอนแรงดันให้แรงดันที่พอร์ท X เท่ากับค่าแรงดันที่พอร์ท Y โดยที่ M3 และ M4 ต่อกันเป็นวงจรสะท้อนกระแส เพื่อบังคับให้กระแสเดรนของ M1 และ M2 เท่ากัน ดังนั้นจึงทำให้แรงดันตกคร่อม $V_{GS1} = V_{GS2}$ เป็นผลทำให้ $V_X = V_Y$ และเนื่องจากจุดสัญญาณเข้าที่พอร์ท Y เป็นขาเกทของทรานซิสเตอร์ ทำให้ที่พอร์ทนี้ไม่มีกระแสไหลเข้าหรือ $i_Y = 0$ และมีความต้านทานจุดสัญญาณเข้าสูงมาก M5 ทำหน้าที่เป็นตัวถ่ายโอนกระแส (source follower) ทำให้ $I_{S5} = I_{D5}$ และเนื่องจาก M2, M4 และ M5 ต่อกันเป็นวงจรป้อนกลับเพื่อให้ความต้านทานจุดสัญญาณเข้าที่พอร์ท X มีค่าต่ำเป็นจุดที่กระแสสัญญาณ i_X เข้าผ่านพอร์ท X ได้ดี คุณสมบัติของวงจรได้สรุปไว้ในรูปที่ 5 (ข) โดยที่ g_{mi} และ g_{di} แทนค่าขยายความนำส่งผ่าน (transconductance gain) และค่าความนำที่เดรน (drain conductance) ของทรานซิสเตอร์ตัวที่ i ตามลำดับ r_X และ r_Z แทนความต้านทานจุดสัญญาณเข้าที่พอร์ท X และความต้านทานจุดสัญญาณออกที่พอร์ท Z ตามลำดับ

เนื่องจากวงจรสายพานกระแสตามรูปที่ 5 เป็นโครงสร้างวงจรที่ไม่ซับซ้อนสามารถดัดแปลงได้ง่าย และมีประสิทธิภาพในการทำงานดี จึงมีผลงานเกี่ยวกับการประยุกต์ใช้หลากหลาย ซึ่งสามารถนำมากล่าวถึงอยู่ 3 ลักษณะดังต่อไปนี้ คือ

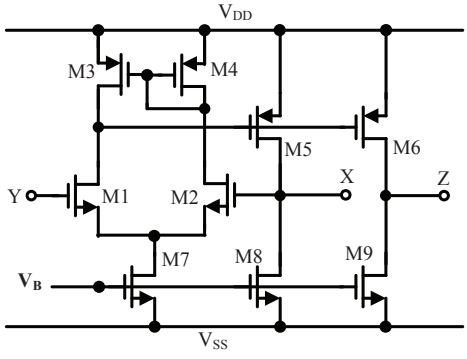
(ก) การประยุกต์โดยตรง มีการนำวงจรของ W. Surakampontorn เป็นวงจรพื้นฐานหลัก (circuit building block) ในการออกแบบสร้างวงจรอิเล็กทรอนิกส์ เช่น วงจรคูณค่าความจุไฟฟ้า (capacitance multiplier) ที่ออกแบบจากการใช้วงจรสายพานกระแส (รูปที่ 3(a) และ 3(b) ในบทความ คือรูปที่ 5) [26] วงจร V-I scalar สร้างจากวงจรสายพานกระแส [27] วงจรกรองไบควอดที่มีสภาพไวต่ำและเลื่อนค่าความถี่ได้ด้วยวิธีอิเล็กทรอนิกส์ (รูปที่ 6(a) และ 6(b) ในบทความ คือรูปที่ 4(ข) และรูปที่ 5 ตามลำดับ) [28] และนำวงจรสายพานกระแสไปต่อเป็นวงจรตามกระแส (current follower) เพื่อออกแบบและสร้างเป็นวงจรกรองแอคทีฟที่ใช้วงจรตามกระแส (รูปที่ 4 ในบทความ คือวงจรรูปที่ 5) [29] เป็นต้น นอกจากนี้ยังมีผลงานวิจัย (รูปที่ 3 ในบทความ [30] และหนังสือ [31] รูปที่ 2.16 และ รูป 3.20) ที่นำวงจรสายพานกระแส รูปที่ 5 ไปแสดงและกล่าวถึงโดยไม่ได้ทำการอ้างอิง ซึ่งไม่สมควรเอาเป็นตัวอย่าง

(ข) การประยุกต์โดยทำการดัดแปลง กรณีนี้เป็นการนำเอาวงจรตามรูปที่ 5 ไปดัดแปลงปรับปรุงเพื่อให้เหมาะกับการประยุกต์ใช้ ตัวอย่างเช่น ทำการดัดแปลงปรับเปลี่ยนเป็นแบบใช้ทรานซิสเตอร์แบบพีแชนแนล (p channel) เพื่อทำการสร้างและทดสอบคุณสมบัติของวงจรกรอง ทุกผลตอบสนองแบบโหมดกระแสที่สร้างจากวงจรสายพานกระแส (รูปที่ 3 ในบทความ) [32] ทำการปรับปรุงดัดแปลงให้เป็นวงจรสายพานกระแสที่มีจุดสัญญาณออกคู่ (dual outputs CCII หรือ DO-CCII) เพื่อสร้างวงจรเลียนแบบตัวเหนี่ยวนำ (รูปที่ 10 ในบทความ) [33] วงจรกรองผลตอบสนองทุกแบบในโหมดกระแสที่มีจุดสัญญาณเข้า 5 จุด และจุดสัญญาณออก 2 จุด (รูปที่ 1 ในบทความ) [34] สร้างฟังก์ชันความนำเชิงซ้อนอันดับสูงโดยใช้วงจรสายพานกระแส (รูปที่ 1 ในบทความ) [35] สร้างวงจรของการควบคุมแบบ PID และ วงจรขยายเครื่องมือวัด [36] ทำการปรับปรุงดัดแปลงให้เป็นวงจรสายพานกระแสที่มีจุดสัญญาณออกหลายจุด (Multiple Outputs CCII หรือ MO-CCII) เพื่อสร้างวงจรกรองโหมดกระแสผลตอบสนองทุกแบบที่มีจุดสัญญาณเข้าหลายจุด และมีจุดสัญญาณออกหนึ่งจุด [37,38] โดยที่มีข้อสังเกตว่าการปรับปรุงให้วงจรสายพานกระแสมีจุดสัญญาณออกแบบคู่หรือแบบหลายจุดนั้น เพื่อทำให้การออกแบบง่ายและใช้จำนวนวงจรสายพานกระแสน้อย นอกจากนี้โดยอาศัยการหลักการแปลงด้วยตัว Nullator และ Norator ได้มีการนำส่วนวงจรสายพานกระแสรูปที่ 5 ไปดัดแปลงสร้างเป็น วงจร FTFN (Four Terminal Floating Nullor) [39] ซึ่งเป็นอุปกรณ์วงจรพื้นฐานหลักที่ใช้ในการออกแบบวงจรแอนะล็อกโหมดกระแส และการดัดแปลงวงจรสายพานกระแสที่ใช้เฉพาะทรานซิสเตอร์แบบ NMOS เท่านั้น [40]

(ค) การพัฒนาวงจรสายพานกระแส R. Wojtyna ได้ทำการปรับปรุงโดยเพิ่มวงจรสะท้อนกระแสสลับด้านเข้าที่ด้านบนของวงจรวงจรขยายผลต่าง

สัญญาณ (รูปที่ 1 ในบทความ) เพื่อให้กระแสไหลผ่านทรานซิสเตอร์ทั้งสองด้านของวงจรขยายผลต่างสัญญาณเท่ากันมากขึ้น [41] W. Chiu และคณะ นำเสนอวงจรสายพานกระแสแบบผลต่างแรงดัน DDCCII (Differential Difference Current Conveyor) โดยใช้วงจรสายพานกระแสไปพัฒนาออกแบบ [42] H.O. Elwan และ A.M. Soliman เสนอการออกแบบวงจรสายพานกระแสอีกแบบในเอกสารอ้างอิง [43] ซึ่งจะได้กล่าวถึงในหัวข้อ 3.2.7 เพื่อทำการสังเคราะห์วงจรกรองแบบแอลซีแลดเดอร์ (LC ladder filter) H. Sedef และ C. Acar ได้นำเสนอโครงสร้างแบบใหม่ที่ออกแบบโดยใช้วงจรสายพานกระแสเป็นวงจรพื้นฐานหลัก [44] I.M. Filanovsky ได้นำเสนอหลักการของวงจรสายพานแรงดันซีมอส (CMOS voltage conveyor) โดยให้วงจรมีสัญญาณเข้าเป็นสัญญาณกระแสและสัญญาณออกเป็นสัญญาณแรงดัน และใช้หลักการของวงจรสายพานกระแส ทำการออกแบบและปรับปรุงให้เหมาะสม [45] ในขณะที่วงจรสายพานกระแสของ *S.* Emami และคณะ ทำการปรับปรุงโดยนำเสนอวิธีการป้อนกลับแบบใหม่ เพื่อลดความต้านทานจุดสัญญาณเข้าที่พอร์ท X และขณะเดียวกันได้วงจรสายพานกระแสที่มีช่วงความถี่ปฏิบัติงานกว้างด้วย [46] Wessam S. Hassanein และคณะ นำเสนอหลักการปรับปรุงวงจรของ W. Surakampontorn โดยให้มีการป้อนกลับในทั้งสองด้านของวงจรขยายผลต่างสัญญาณ การป้อนกลับด้านหนึ่งเพื่อทำให้ความต้านทานจุดสัญญาณเข้าที่พอร์ท X มีค่าต่ำ ในขณะที่การป้อนกลับในอีกด้านของวงจรขยายผลต่างสัญญาณ เพื่อรักษาให้กระแสไหลผ่านทรานซิสเตอร์ของวงจรขยายผลต่างสัญญาณด้านนั้นไหลประมาณคงที่ และมีการศึกษาเปรียบเทียบคุณสมบัติของวงจรใหม่กับวงจรเดิม โดยที่รูปที่ 1 ในบทความ คือรูปที่ 5(ข) [47] J. Arcamoni และคณะ ได้ทำการปรับปรุงภาคสัญญาณเข้าเพื่อให้เหมาะกับการใช้กับ NEMS Resonator [48] นอกจากนี้ Surakampontorn และคณะ ยังได้เสนอการออกแบบวงจรสายพานกระแสไว้อีกรูปแบบหนึ่ง แต่ไม่ได้ใช้วงจรขยายผลต่างสัญญาณเป็นอุปกรณ์ฐาน [49]

3.2.2 วงจรสายพานกระแสของ *S. Liu et al.* [50]



รูปที่ 6 วงจรสายพานกระแสของ S. Liu และคณะ

คุณสมบัติของวงจร แสดงในสมการ (5) และ (6)

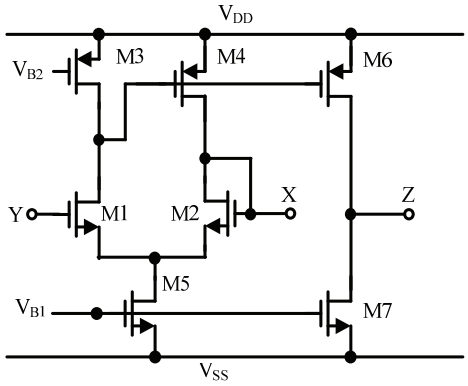
$$\frac{V_X}{V_Y} = \frac{g_{m1}g_{m5}}{g_{m1}g_{m5} + (g_{d2} + g_{d3})(g_{d5} + g_{d8})} \qquad (5)$$

$$r_X = \frac{g_{d1} + g_{d3}}{g_{m1}g_{m5}} \quad \text{และ} \quad r_Z = \frac{1}{g_{d6} + g_{d9}} \qquad (6)$$

ตามรูปที่ 6 ของ S. Liu และคณะ จะเห็นว่าวงจรตามแรงดันโดยใช้วงจรขยายผลต่างสัญญาณ (M1,M2 และ M7) มีวงจรสะท้อนกระแส (M3 และ M4) บังคับให้กระแสในทั้งสองด้านของวงจรขยายผลต่างสัญญาณเท่ากันเหมือนหลักการในวงจรรูปที่ 5 แต่ที่พอร์ท X แทนที่จะใช้เป็นวงจรตามแรงดัน (source follower) เพื่อลดผลของออฟเซ็ตจึงได้ออกแบบให้ I_{D4} = I_{D5} โดยใช้ M5 เป็นทรานซิสเตอร์พีมอส (PMOS) และให้ถูกต่อเป็นแบบซอร์ส ร่วม (common source) เป็นผลให้แรงดัน V_{GS1} = V_{GS2} และทำให้ V_X = V_Y เท่ากันมากขึ้น และการป้อนกลับเข้าที่พอร์ท X ด้วยค่าอัตราขยายลูปปิดที่สูง ทำให้ความต้านทานจุดสัญญาณเข้าที่พอร์ท X มีค่าน้อยด้วย ทรานซิสเตอร์พีมอส M6 ต่อเป็นแบบซอร์สร่วมเช่นกันเพื่อส่งผ่านกระแส i_X ไปยังพอร์ท Z เนื่องจาก M5 และ M6 สมพงษ์ (matched) กัน จึงทำให้ i_Z = i_X คุณสมบัติของวงจรนี้ได้สรุปไว้ดังสมการ (5) และ (6) อย่างไรก็ตามวงจรนี้มีข้อด้อย คือออฟเซตมีค่าต่ำเฉพาะกรณี i_X น้อย ถ้าหาก i_X มีค่ามาก $I_{D4} \neq I_{D5}$ ออฟเซตจะมีค่าสูงตามด้วย

3.2.3 วงจรสายพานกระแสของ G. Palmisano และ G. Palumbo [51]

วงจรนี้ (M3 และ M7) และ M5 ทำหน้าที่เป็นวงจรจ่ายกระแสคงตัวจ่ายกระแส I_B และ $2I_B$ ตามลำดับ G. Palmisano และ G. Palumbo ออกแบบให้ด้าน M1 ของวงจรขยายผลต่างสัญญาณถูกป้อนด้วยกระแสคงที่ I_B จาก M3 ส่วนอีกด้านมีวงจรซอร์สร่วม M4 ป้อนกลับมายัง M2 ที่มีการป้อนกลับรอบตัว ผลนี้ทำให้กระแสไหลผ่าน M1 และ M2 หรือ $I_{D1} = I_{D2}$ เท่ากัน ทำให้ $V_X = V_Y$ และเนื่องจาก M4 และ M6 ซึ่งต่อเป็นแบบซอร์สร่วม มีความสมพงษ์กัน ทำให้กระแสที่พอร์ท X ถูกส่งผ่านไปยังพอร์ท Z ทำให้ $i_Z = i_X$ คุณสมบัติของวงจรได้สรุปไว้ในสมการ (7) และ (8) มีข้อสังเกตว่าวงจรนี้ใช้จำนวนของทรานซิสเตอร์ที่น้อยกว่าสองวงจรที่ผ่านมา



รูปที่ 7 วงจรสายพานกระแสของ G. Palmisano และ G. Palumbo

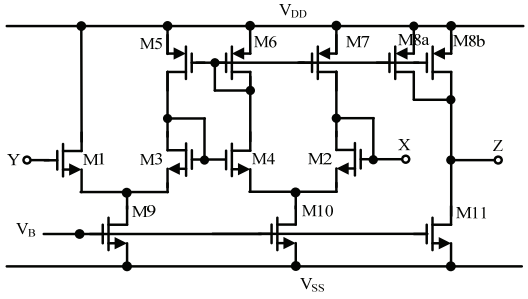
$$\frac{V_X}{V_Y} = \frac{g_{m1}}{g_{m1} + g_{d1} + \dfrac{g_{d4}(g_{d1} + 2g_{d3})}{(g_{d3} + g_{m4})}} \qquad (7)$$

$$r_X = \frac{g_{d1} + 2g_{d3}}{(g_{m1} + g_{d1})(g_{m4} + g_{d3}) + gd_4(g_{d1} + 2g_{d3})} \quad \text{และ}$$

$$r_Z = \frac{1}{g_{d6} + g_{d7}} \qquad (8)$$

3.2.4 วงจรสายพานกระแสของ A.M. Ismail และ A.M. Soliman [52]

วงจรสายพานกระแสรูปที่ 8 ของ A.M. Ismail และ A.M. Soliman ออกแบบโดยใช้วงจรขยายผลต่างสัญญาณ 2 วงจร โดยที่ M3 ถึง M6 ต่อกันเป็นวงจรสะท้อนกระแสแบบ improved Wilson เพื่อบังคับให้กระแสไหลผ่าน M3 และ M4 เท่ากัน ทำให้แรงดันที่พอร์ท Y



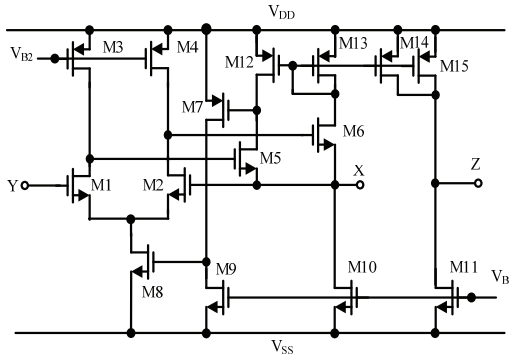
รูปที่ 8 วงจรสายพานกระแสของ A.M. Ismail และ A.M. Soliman

ถูกส่งผ่านไปยังพอร์ท X มีค่าผิดพลาดต่ำ หรือ $V_X = V_Y$ ผลการป้อนกลับผ่าน M7 และ M2 ทำให้ความต้านทานที่พอร์ท X มีค่าต่ำ เนื่องจาก M9 M10 และ M11 สมพงษ์กัน แต่กระแสดีซีไหลผ่าน M2 เป็นครึ่งหนึ่งของกระแสดีซีไหลผ่าน M10 และ M11 ดังนั้นเพื่อทำการส่งผ่านกระแส i_X ไปยังพอร์ท Z ทำให้ M8 ต้องมีขนาดเป็น 2 เท่าของ M7 คุณสมบัติของวงจรได้สรุปไว้ในสมการ (9) และ (10)

$$\frac{V_X}{V_Y} = \frac{1}{1 + \dfrac{g_{d3} + g_{d5}}{g_{m1}} + \dfrac{(g_{d3} + 2g_{d5})(g_{d2} + 2g_{d7})}{2g_{m1}^2}} \qquad (9)$$

$$r_X = \frac{g_{d3} + 2g_{d5}}{2g_{m1}(g_{m1} + g_{d3} + gd_5)} \quad \text{และ} \quad r_Z = \frac{1}{g_{d8} + g_{d11}} \qquad (10)$$

3.2.5 วงจรสายพานกระแสของ U. Yodprasit [53]



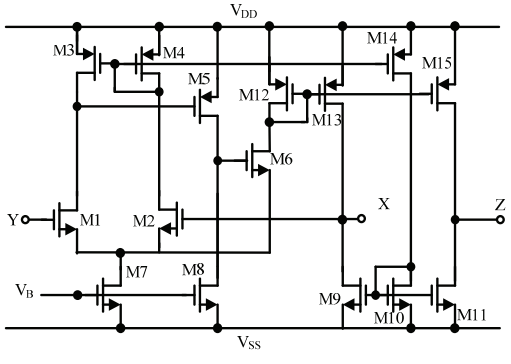
รูปที่ 9 วงจรสายพานกระแสของ U. Yodprasit

$$\frac{V_X}{V_Y} = \frac{g_{m3}g_{m7}g_{m8}}{g_{m3}g_{m7}g_{m8} - g_{d3}g_{d5}g_{d7}} \qquad (11)$$

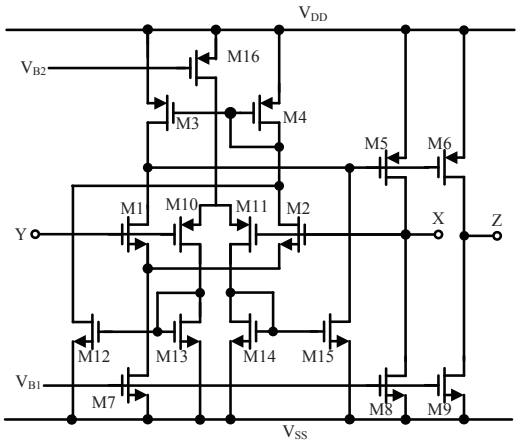
$$r_X = \frac{g_{d1}g_{d5}g_{d7}}{g_{m1}g_{m5}g_{m7}g_{m8}} \text{ และ } r_Z = \frac{1}{g_{d11}+g_{d14}+g_{d15}} \quad (12)$$

วงจรนี้ M3 M4 M9 M10 และ M11 ทำหน้าที่เป็นวงจรจ่ายกระแสคงตัว วงจรของ U. Yodprasit ต้องการออกแบบให้ได้วงจรสายพานกระแสมีจุดสัญญาณเข้าที่พอร์ท X มีค่าต่ำมาก จึงเลือกใช้วิธีการป้อนกลับคู่มายังพอร์ท X โดย M5 และ M6 ทำหน้าที่ป้อนกลับขณะเดียวกันก็บังคับแรงดันที่เดรนของ M1 และ M2 เท่ากันมากขึ้น และมีการทำให้กระแส $I_{D5} = I_{D6}$ โดยวงจรสะท้อนกระแส (M12-M13) เป็นผลให้ลดผลของออฟเซ็ทได้มาก ทำให้ $V_X = V_Y$ การถ่ายโอนกระแสจากพอร์ท X ไปยังพอร์ท Z โดยวงจรสะท้อนกระแส M12-M15 ใช้หลักการเดียวกับวงจรรูปที่ 8 และข้อเด่นก็คือวงจรนี้ผลของออฟเซ็ทไม่เปลี่ยนไปตามกระแสสัญญาณ i_X ซึ่งดีกว่าวงจรของ Liu และคณะ วงจรสายพานกระแสตามรูป 9 ของ U. Yodprasit มีข้อด้อย คือ ถ้าหากสัญญาณแรงดันที่พอร์ทมีค่าน้อย เนื่องจากถ้ามีค่าสูงอาจทำให้ M5 และ M6 อยู่ในย่านอิ่มตัว (saturation mode) ได้ อีกประการหนึ่ง การที่ให้มีกระบวนการเคลื่อนตามกันของแรงดันและกระแสและมีการป้อนกลับมาก ทำให้ช่วงกว้างความถี่ปฏิบัติงานแคบ และวงจรซับซ้อนมาก ซึ่ง H. M. Hassan and A.M. Soliman นำเสนอวงจรที่พัฒนาจาก U. Yodprasit โดยให้มี r_X ต่ำและมีช่วงกว้างความถี่ปฏิบัติงานกว้างไว้ในบทความ [54] คุณสมบัติของวงจรได้สรุปไว้ในสมการ (13) และ (14)

3.2.6 วงจรสายพานกระแสของ *T. Laopolos et al.* [55]



(ก) วงจรสายพานกระแสของ *T. Laopolos et al.*



(ข) วงจรสายพานกระแสของ Elwan และ Soliman

รูปที่ 10 วงจรของ T. Laopolos และคณะ และ ของ H.O. Elwan และ A.M. Soliman

วงจรของ *T. Laopolos et al.* ตามรูปที่ 10(ก) M7 และ M8 เป็นวงจรจ่ายกระแสคงที่ $3I_B$ และ I_B ตามลำดับ วงจรขยายผลต่างสัญญาณที่ประกอบด้วย M1 ถึง M4 ทำงานเป็นวงจรตามแรงดัน M5 ต่อเป็นซอร์สร่วมเพื่อทำให้ $I_{D5} = I_{D6}$ (วิธีการเดียวกับ *S. Liu et al.*) เพื่อลดผลของออฟเซ็ท M6 และวงจรสะท้อนกระแส M12 - M13 ทำหน้าที่ป้อนกลับเพื่อให้พอร์ท X มีความต้านทานต่ำ เนื่องจาก M9 ถึง M11 ต่อกันเป็นวงจรสะท้อนกระแสเมื่อร่วมกับ M15 จึงเป็นส่วนการถ่ายโอนกระแสจากพอร์ท X ไปยังพอร์ท Z

3.2.7 วงจรสายพานกระแสของ H.O. Elwan และ A.M. Soliman [43]

วงจรสายพานกระแสของ H.O. Elwan และ A.M. Soliman ได้แสดงไว้ในรูปที่ 10(ข) โดยให้ความเห็นว่าการที่วงจรสายพานกระแสรูปที่ 5 (Surakampontorn Circuit) เป็นวงจรแบบคลาสเอ (class A) ที่ใช้การถ่ายโอนกระแสโดยใช้วงจรตามซอร์ส M5 ทำให้มีข้อจำกัดคือ วงจรไม่สามารถทำงานในช่วงกว้างของแรงดันถึงแรงดันได้ (rail-to-rail) จึงได้ทำการพัฒนาวงจรเป็นแบบคลาสเอ และแบบคลาสเอบี (class AB) โดยในส่วนวงจรตามแรงดัน ใช้วงจรวงจรขยายผลต่างสัญญาณแบบ NMOS (M1 และ M2) และ แบบ PMOS (M10 และ M11) ต่อขนานคร่อมกัน ทำให้วงจรสามารถใช้กับไฟเลี้ยงบวกขนาด 1.5 โวลท์อย่างเดียวได้ เหมือน

ตารางที่ 1 แสดงคุณสมบัติเปรียบเทียบของวงจรสายพานกระแส [7]

พารามิเตอร์	หน่วย	รูปที่ 5	รูปที่ 6	รูปที่ 7	รูปที่ 8	รูปที่ 9	รูปที่ 10(ก)	รูปที่ 10(ข)
Input Voltage range	V	-0.73 to 0.2	-0.5 to 0.8	-0.3 to 0.7	-0.4 to 0.9	-0.5 to 0.2	-0.5 to 0.7	-1.46 to 0.85
A_V (Average values)	-	0.99385	0.99998	1.00014	0.989	0.999998	0.99996	0.99995
Voltage offset variation	mV	-4.52 to 2.27	-0.078 to -0.056	-0.642 to 0.506	-4.77 to 12.34	-0.0025 to -0.00047	-0.066 to - 0.007	-0.771 to -0.043
F_{3db} of voltage transfer gain	MHz	776	1660	1800	589	7.5	2.7	1995
Input current range	µA	-100 to 100	-100 to 100	-100 to 100	-200 to 200	-100 to 100	-150 to 150	-100 to 100
A_I (Average values)	-	1.0037	0.99991	0.9946	1.0038	1.01034	0.99998	0.99995
Current offset variation	µA	-1.04 to - 0.0006	-0.0035 to 0.006	0.583 to 2.35	1.05 to 3.08	-2.23 to -0.044	-0.001 to 0.0036	-0.004 to 0.0058
f_{3db} of current transfer gain	MHz	66	95	94.5	66.8	6.6	23	115
r_X	Ω	5.9	10.46	14.63	6.92	0.1	3.5	9.14

ของวงจร *Liu et al.* รูปที่ 6 ในวงจรนี้ M5 เป็นทรานซิสเตอร์พีมอส และต่อเป็นแบบซอร์สร่วม เพื่อให้มีการป้อนกลับเข้าที่พอร์ท X ด้วยค่าอัตราขยายลูปปิดที่สูง เป็นผลให้แรงดัน $V_{GS1} = V_{GS2}$ และเป็นผลทำให้ $V_X = V_Y$ ในขณะเดียวกันผลการป้อนกลับทำให้ความต้านทานจุดสัญญาณเข้าที่พอร์ท X มีค่าน้อยด้วย พีมอส M6 ต่อเป็นแบบซอร์สร่วมเช่นกัน เพื่อสะท้อนกระแส i_X ไปยังพอร์ท Z เนื่องจาก M5 และ M6 สมพงษ์กัน จึงทำให้ $i_Z = i_X$ บทความนี้ไม่ได้ให้คุณสมบัติของวงจรไว้จึงไม่ได้สรุปคุณสมบัติของวงจร

นอกจากวงจรสายพายกระแสที่กล่าวถึงแล้ว ยังมีการนำเสนอวิธีการแก้ออฟเซตโดย I.A. Awad และ A.M. Soliman แต่วงจรมีความซับซ้อนจึงไม่ได้นำมากล่าวถึงในที่นี้ [56]

4. การศึกษาเปรียบเทียบคุณสมบัติของวงจรสายพานกระแส

Wessam S. Hassanein และคณะ ได้ทำการศึกษาถึงคุณสมบัติของวงจรรูปที่ 5 ถึงรูปที่ 10 และทำการจำลองแบบเพื่อเปรียบเทียบไว้ในบทความ [7] เพื่อเป็นประโยชน์แก่นักวิจัยผู้เขียนจึงได้คัดลอกมาแสดงไว้ในตารางที่ 1 รายละเอียดสามารถหาอ่านได้จากเอกสารอ้างอิงดังกล่าว ซึ่งจะเห็นว่าวงจรรูป 10 (ข) ดีที่สุด ยกเว้นในเรื่องของความต้านทาน r_X มีค่ามากกว่าวงจรรูปที่ 5 โดยที่วงจรมีความซับซ้อนกว่ามาก วงจรรูปที่ 9 และ 10(ก) มีข้อดีด้านออฟเซตและ r_X ต่ำ แต่ในเรื่องของผลตอบสนองความถี่ ต่ำกว่าวงจรอื่นมาก รวมถึงวงจรความซับซ้อนมากด้วย วงจรรูปที่ 6 และ 7 ให้ค่าออฟเซ็ตต่ำมีช่วงกว้างความถี่ปฏิบัติงานสูง แต่ r_X สูง ทำให้เมื่อนำไปประยุกต์ก็ทำให้เกิดความผิดพลาดสูงได้

วงจรรูปที่ 5 และ 8 ดูจะมีคุณสมบัติใกล้เคียงกัน แต่วงจรรูปที่ 8 มีความซับซ้อนกว่ามาก

4. บทสรุป

ในบทความนี้ได้ทำการทบทวนถึงพัฒนาการการออกแบบวงจรสายพานกระแสรุ่นที่สองแบบใช้วงจรขยายผลต่างสัญญาณ เป็นหลักในการออกแบบ และได้แสดงตารางเปรียบเทียบคุณสมบัติ ที่สำคัญของวงจรสายพานกระแส ของทั้ง 7 วงจรในกลุ่มนี้ ที่ทำการศึกษาโดย W. S. Hassanein, I. A. Awad และ A.M. Soliman [7] อย่างไรก็ตามเนื่องจากวงจรขยายผลต่างสัญญาณเป็นวงจรคลาสเอ ซึ่งวงจรต้องมีกระแสดีซีเพื่อไบอัสวงจรให้สามารถทำงานได้ทั้งสัญญาณซีกบวกและซีกลบ ดังนั้นการที่ต้องมีกระแสไบอัสไว้ตลอดเวลาถึงแม้ในช่วงที่ไม่มีสัญญาณเข้า จึงทำให้เกิดกำลังงานสูญเสีย (power dissipate) ในวงจรได้ ดังนั้นวงจรคลาสเอ จึงไม่เหมาะสมกับการออกแบบให้วงจรมีคุณสมบัติใช้กำลังไฟต่ำ (low power) และใช้ไฟเลี้ยงน้อย (low voltage)

เอกสารอ้างอิง

[1] Toumazou, C., Lidgey, F.J. and Haigh, D.G. 1990. Current conveyor theory and practice. Analog IC Design: The current mode approach, Peter Peregrinus, London.

[2] Smith, K.C. and Sedra, A. 1968. The current conveyor- a new circuit building block. IEEE Proceedings, 56: 1368-1369.

[3] Sedra, A. and Smith, K.C. 1970. A second-generation current conveyor and its applications. IEEE Transactions on Circuit Theory, CT-17:132-134.

[4] Wilson, B. 1990. Recent developments in current conveyors and current mode circuits. IEE Proceedings, 137: pt. G, No.2, 63-76.

[5] Gohh, F., Roberts, G.W. and Sedra, A. 1990. The current conveyor: history, progress and new results. IEE Proceedings, 137: pt. G, No.2, pp.78-87.

[6] Wilson, B. 1992. Trends in current conveyor and current-mode amplifier design. International Journal of Electronics, 73: 573-583.

[7] Hassanein, W. S., Awad, I. A. and Soliman, A. M. 2005. Long tail pair based positive CMOS current conveyoir: a review. Frequenz, 59: No.7-8, 186-194.

[8] Vidal, E., Alarcon, E. and Gilbert, B. 2004. Up-to-date bibliography of current-mode design. Analog integrated circuits and signal processing, 38: 245-262.

[9] Rajput, S.S. and Jamuar, S.S. 2007. Advanced applications of current conveyors: a tutorial. Journal of Active and Passive Electronics Devices, 2, No.2: 143-164.

[10] Fabre, A. 1995. Third generation current conveyor: a new helpful active element. Electronics Letters, 31:338-339.

[11] Piovaccari, A. 1995. CMOS integrated third generation current conveyor. Electronics Letters, 31: 1228-1229.

[12] Daryanani, G. 1976. Principles of active network synthesis and design. John Wiley & Son, New York.

[13] Van Zanten, A.T. and Huijsing, J.H. 1975. An accurate integrated voltage to current converter. IEEE J. Solid-State Circuits, SC-10: 432-436.

[14] Van de Plassche, R.J. 1975. A Wide-band monolithic instrumentation amplifier. IEEE J. Solid-State Circuits, SC-10: 423-431.

[15] Pookaiyaudom, S., Surakampontorn, W. and Kuhanont, T. 1978. Integrable electronically variable general-resistance converter – a versatile active circuit element. IEEE Transaction on Circuits and Systems, CAS-25, No.6: 344-353.

[16] Surakampontorn, W. and Thitimasjshima, P. 1988. Integrable electronically tunable current conveyors. IEE Proceedings, 135, pt. G, No.2: 71-77.

[17] Surakampontorn, W. and Kumwachara, K. 1992. CMOS-based electronically tunable current conveyor. Electronics letters, 28, No.14: 1316-1317.

[18] Fabre, A. and Mimeche, N. 1994. Class A/AB second-generation current conveyor with controlled current gain. Electronics Letters, 30, No.16: 1268-1269.

[19] Papazoglou, C.A. and Karybakas, C.A. 1997. Noninteracting electronically tunable CCII-based current-mode biquadratic filters. IEE Proceedings, 144, No.3: 178-184.

[20] Papazoglou, C.A. and Karybakas, C.A. 1998. A transformation to obtain CCII-based adjoint Op Amp - based circuits. IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, 45, No.7: 894-898.

[21] Sayin, O.K. and Kumtman, H.H. 2004. Design of high-order active filters employing CMOS ECCIIs. IEEE Applications Conference on Signal Processing and Communications, 375-378.

[22] Minaei, S., Sayin, O. K. and Kuntman, H. 2006. A new CMOS electronically tunable current conveyor and its application to current-mode filters. IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, 53, No.7: 1448-1457.

[23] Song, S. X., Yan, G.P. and Cao, H. 2007. A new CMOS electronically tunable current conveyor based on translinear circuits. The 7th IEEE International Conference on ASIC, 569-572.

[24] Papazoglou, C.A. and Karybakas, C.A. 2000. An electronically tunable sinusoidal oscillator suitable for high frequencies operation based on a single dual-output variable-gain CCII. Analog Integrated Circuits and Signal Processing, 23: 31-44.

[25] Surakampontorn, W., Riewruja, V., Kumwachara, K. and Dejhan, K. 1991. Accurate CMOS-based current conveyors. IEEE Transactions on Instrumentation and Measurement. 40, No. 4: 699-702.

[26] Cataldo, G. D., Ferri, G. and Pennisi, S. 1998. Active capacitance multipliers using current conveyors. IEEE 1998 International Symposium on Circuits and Systems (ISCAS'98), II-343-346.

[27] Karybakas, C.A. and Horopanitis, E.E. 1998. V-I scalar circuits based on CCIIs. Electronics Letters, 34, No.4: 317-318.

[28] Karybakas, C.A. and Papazouglou, C.A. 1999. Low-sensitive CCII-based biquadratic filters offering electronic frequency shifting. IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, 46, No.4: 527-539.

[29] Drakakis, E.M. and Karybakas, C.A. 1999. A multiple output active filter based on current followers. International Journal of Electronics, 86, No. 2:141-151.

[30] Palumbo, G. and Pennisi, S. 1998. A technique for the reduction of the input resistance of current-mode circuits. IEEE International Conference on Electronics, Circuits and Systems, 279-282.

[31] Giuseppe, F. and Guerrini, N. C. 2003. Low-voltage low-power CMOS current conveyors. Kluwer Academic Publishers, Boston.

[32] Wang, H.Y. and Lee, C.T. 2001. Versatile insensitive current-mode universal biquad implementation using current conveyors. IEEE Transaction on Circuits and Systems-II: Analog and Digital Signal Processing, 48, No.4: 409-413.

[33] Yuce, E. and Minaei, S. 2009. On the realization of simulated inductors with reduced parasitic impedance effects. Circuits System Signal Processing, 28: 451-465.

[34] Horng, J. W., Hou, C. L., Chang, C. M., Chiu, W. Y. and Liu, C. C. 2009. Current-mode universal biquadratic filter with five inputs and

two outputs using two multi-output CCIIs. Circuits System Signal Processing, 28:781-792.

[35] Horng, J. W., Hou, C. L., Chang, C. M., Yang, H. and Shyu, W. T. 2009. Higher-order immittance functions using current conveyors. Analog Integrated Circuit and Signal Processing, 61: 205-209.

[36] Yuce, E. and Minaei, S. 2010. New CCII-Based Versatile structure for realizing PID controller and instrumentation amplifier. Microelectronics Journal, 41: 311-316.

[37] Chunhua, W., Haiguang, L. and Yan, Z. 2009. Universal current-Mode filter with multiple inputs and one output using MOCCII and MO-CCCA. AEU International Journal of Electronics and Communications, 63: 448-453.

[38] Chunhua, W., Deshu, Z., Jianzhuo, Y., Chen, S., Chen, X., Jianxin, C., Guo, G. and Guangdi, S. 2001. A MOCCII current-mode KHN filter and its non-idea characteristic research. *IEEE* 4th International Conference on ASIC, 289 - 292

[39] Cam, U. and Kuntman, H. 1999. CMOS four terminal floating nullor design using a simple approach. Microelectronics Journal, 30: 1187-1194.

[40] Pienchob, P., Kumwachara, K. and Surakampontorn, W. 2004. A compounded second-generation current conveyor using only NMOS transistor. Proceeding of the 2004 ECTI Annual Conference, 405-408.

[41] Wojtyna, R. 1995. CMOS current conveyor for ±3V supply operation. Analog Integrated Circuit and Signal Processing, 7:91-101.

[42] Chiu, W., Liu, S.-I., Tsao, H.-W. and Chen, J.-J. 1996. CMOS differential difference current conveyor and their applications. IEE Proc. Circuits, Devices and Systems, 143, No.2: 91-96.

[43] Elwan, H. O. and Soliman, A. M. 1997. Low-voltage low-power CMOS current conveyors. IEEE Transaction on Circuits and Systems-I: Fundamental Theory and Applications. 44, No.9: 828-835.

[44] Sedef, H. and Acar, C. 1999. Simulation of resistively terminated LC ladder filters using a new basic cell involving current conveyors. Microelectronics Journal, 30: 63-68.

[45] Filanovsky, I.M. 2001. CMOS voltage conveyor. Proc. 44th IEEE 2001 Midwest Symposium on Circuits and Systems, 318-321.

[46] Emami, S., Wada, K., Takagi, S., and Fujii, N. 2001. A novel design strategy for class A CMOS second generation current conveyors. IEICE Transaction on Fundamentals, E84-A, No.2: 552-558.

[47] Hassanein, W. S., Awad, I. A. and Soliman, A. M. 2004. New wide band low-power CMOS current conveyors. Analog Integrated Circuit and Signal Processing, 40: 91-97.

[48] Arcamone, J., Misischi, B. F., Serra-Graells, van den Boogaart, M.A.F., Brugger, J., Torres, F., Abadal, G., Barniol, N. and Perez-Murano, F. 2008. Compact CMOS current conveyor for integrated NEMS resonators. IET Circuits, Devices & Systems, 2, No.3: 317-323.

[49] Surakampontorn, W., Riewruja, V., and Cheevasuvit, F. 1991. Integrable CMOS-based realization of current conveyors. International Journal of Electronics, 71, No. 5: 739-798.

[50] Liu, S., Tsao, H. and Wu, J. 1991. CCII-based continuous-time filters with reduced gaun-bandwidth sensitivity. IEE Proc. Circuits, Devices and Systems, 138: 210-216.

[51] Palmisano, G. and Palumbo, G. 1995. A simple CMOS CCII+. International Journal Circuit Theory and Applications, 23: 599-603.

[52] Ismail, A.M. and Soliman, A.M. 1998. Wideband CMOS current conveyor. Electronics Letters, 34, No.25: 2368-2369.

[53] Yodprasit, U. 2006. High precision CMOS current conveyor. Electronics Letters, 36: 609-610.

[54] Hassan, H.M. and Soliman, A. M. 2006. Novel accurate wideband CMOS current conveyor. Frequenz, 60: 11-12.

[55] Laopoulos, T., Sisko, S., Bafleur, M. and Givelin, P. 1992. CMOS current conveyor. Electronics Letters, 28: 2261-2262.

[56] Awad, I. A. and Soliman, A. M. 2004. High accuracy class AB CCII-. AEU International Journal of Electronics and Communications, 58: 237-243.