การลดเวลาในกระบวนการทดสอบทางไฟฟ้าของผลิตภัณฑ์ชิ้นส่วนอิเล็กทรอนิกส์
Reducing Electrical-Test Cycle Time for Electronic Component

ชยธัช เผือกสามัญ[1*]

[1]ภาควิชาวิศวกรรมอุตสาหการ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ

Chayathach Phuaksaman[1*]

[1]Department of Industrial engineering, Faculty of Engineering, King Mongkut's University of Technology North Bangkok

Corresponding Author Email : chayathach.p@eng.kmtunb.ac.th

Received 19 June 2025

Revised 18 July 2025

Accepted 21 August 2025

บทคัดย่อ

งานวิจัยนี้มีวัตถุประสงค์เพื่อลดเวลาการผลิตโดยรวมของผลิตภัณฑ์วงจรรวม (IC) รุ่นหนึ่ง โดยมุ่งเน้นการลดระยะเวลาในกระบวนการทดสอบทางไฟฟ้า ซึ่งเป็นขั้นตอนที่ส่งผลกระทบโดยตรงต่อต้นทุนรวม จากการศึกษาพบว่ากระบวนการทดสอบเดิมใช้เวลาเฉลี่ย 11.53 วินาทีต่อการทดสอบ 480 หน่วย และมีต้นทุนการผลิตรวมสำหรับปี 2566-2567 อยู่ที่ 1,863,655 บาท งานวิจัยได้ทำการศึกษาสาเหตุโดยใช้แผนภูมิก้างปลาและการวิเคราะห์เวลาในแต่ละขั้นตอนการทดสอบและดำเนินการปรับปรุงแก้ไขปัญหาที่เวลาในการทดสอบใช้เวลานานส่งผลต่อต้นทุนในการทดสอบการวิเคราะห์พบว่าสาเหตุหลักเกิดจากระยะเวลาที่ใช้ในการประมวลผลและแสดงผลกราฟิกบนหน้าจอของผู้ปฏิบัติงาน โดยเฉพาะหน้าต่าง "Yield" ซึ่งแสดงผลเป็นแผนภูมิแท่งใช้เวลามาก ดังนั้นผู้วิจัยได้ทำการแก้ไขปรับปรุงโดยการปิดหน้าต่างแสดงผลต่างๆ และพบว่าการปิดหน้าต่าง "Yield" สามารถลดเวลาของเครื่องจักรจาก 3.83 วินาที เหลือเพียง 0.58 วินาที จึงได้มีการพัฒนาชุดคำสั่งใหม่โดยเปลี่ยนรูปแบบการแสดงผลของหน้าต่าง "Yield" จากแผนภูมิแท่งเป็นข้อมูลแบบข้อความ (Text) ผลการทดสอบโดยใช้การออกแบบการทดลองหลังการปรับปรุงพบว่าระยะเวลาของกระบวนการทดสอบทางไฟฟ้าโดยรวมลดลงเหลือ 7.96 วินาที ซึ่งเป็นการลดลงถึงร้อยละ 31 การปรับปรุงนี้ส่งผลให้สามารถลดต้นทุนการผลิตเทียบเคียงโดยใช้ข้อมูลสำหรับปี 2566-2567 ลงได้ 852,990 บาท หรือคิดเป็นร้อยละ 46 สามารถนำไปประยุกต์ใช้กับผลิตภัณฑ์อื่นเพื่อเพิ่มประสิทธิภาพและลดต้นทุนในภาพรวมขององค์กรต่อไปได้

คำสำคัญ: การลดต้นทุนการผลิต, การทดสอบทางไฟฟ้า, วงจรรวม (IC), การลดเวลารอบการทดสอบ

Abstract

This research aims to lower the overall manufacturing time of a specific integrated-circuit (IC) product by shortening the electrical-test stage, which has a direct impact on the total cost. The existing testing procedure required an average of 11.53 s to process 480 units and generated an aggregate production cost of THB 1,863,655 for fiscal years 2023–2024. A root-cause analysis using a fishbone diagram and a time study on the testing procedure found that the long test time was mainly due to the graphics processing and display on the screen needed for the operator, particularly the Yield window that showed bar-chart graphics. To address these inefficiencies, it is crucial to streamline the graphics processing or consider alternative display methods that minimize delays. Implementing these changes could significantly reduce the testing time and ultimately lead to a decrease in overall production costs. The improvement strategy involved closing unnecessary display windows and replacing the bar-chart yield window with a text-based output. This modification reduced individual machine time for that step from 3.83 s to 0.58 s. The comprehensive post-improvement test results, which utilized a design of experiment, confirmed that the total electrical-test cycle time decreased to 7.96 seconds, indicating a 31% reduction. Correspondingly, the projected production cost for 2023–2024 decreased by THB 852,990, or 46%. The approach is readily transferable to other IC products and offers a practical pathway for organization-wide efficiency gains and cost reduction.

Keywords: Cost Reduction, Electrical Testing, Integrated Circuits (IC), Test Cycle-time Reduction

1. บทนำ

อุตสาหกรรมเซมิคอนดักเตอร์เป็นหนึ่งในอุตสาหกรรมที่มีการแข่งขันสูงและมีการเปลี่ยนแปลงทางเทคโนโลยีอย่างรวดเร็ว โดยมียอดส่งออกตั้งแต่ ปี พ.ศ. 2565 ถึง 2567 เท่ากับ 323,350.87 ล้านบาท 334,236.93ล้านบาท และ 304,512.47 ล้านบาท ตามลำดับ [1] ในสภาวะการณ์ดังกล่าว ผู้ผลิตจำเป็นต้องแสวงหาแนวทางในการเพิ่มขีดความสามารถทางการแข่งขันอย่างต่อเนื่อง หนึ่งในกลยุทธ์ที่สำคัญคือการลดต้นทุนการผลิต ซึ่งมีความสัมพันธ์โดยตรงกับประสิทธิภาพและระยะเวลาที่ใช้ในแต่ละขั้นตอนของสายการผลิต กระบวนการทดสอบทางไฟฟ้า (Electrical Test) ของผลิตภัณฑ์วงจรรวม (Integrated Circuit: IC) ถือเป็นขั้นตอนที่สำคัญอย่างยิ่งในการรับประกันคุณภาพของผลิตภัณฑ์ก่อนส่งมอบให้แก่ลูกค้า อย่างไรก็ตาม กระบวนการนี้มักเป็นคอขวด (Bottleneck) ที่ส่งผลต่อระยะเวลาการผลิตโดยรวม

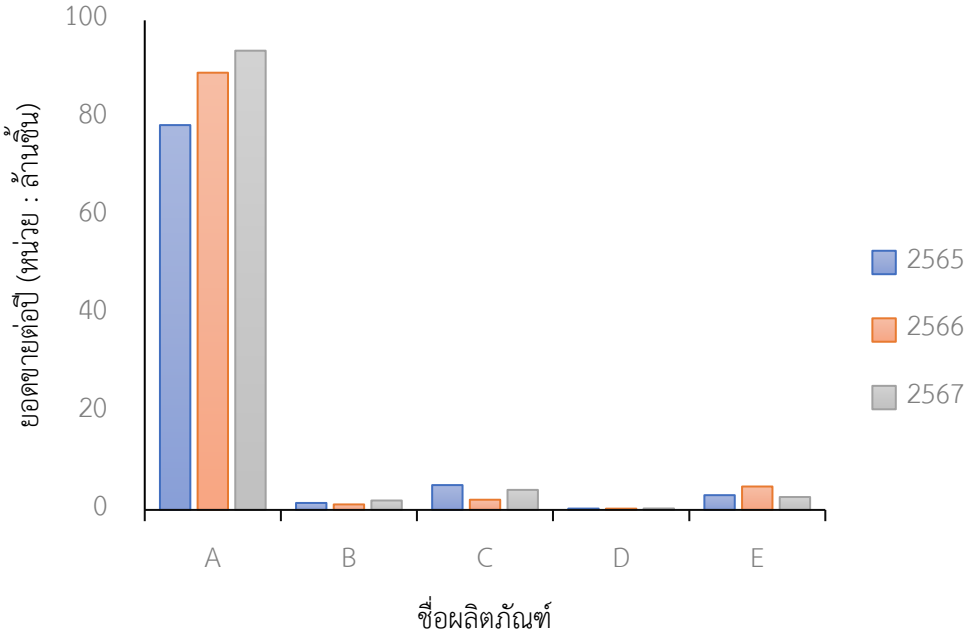
บริษัทกรณีศึกษาเป็นผู้ผลิตและทดสอบวงจรรวมซึ่งเผชิญกับความท้าทายด้านต้นทุนการผลิตที่สูงขึ้นตามความต้องการของตลาดที่เพิ่มขึ้น จากการวิเคราะห์ข้อมูลความต้องการของลูกค้าสำหรับผลิตภัณฑ์ต่างๆ ที่ทดสอบด้วยเครื่องทดสอบ ในช่วงปี 2565-2567 พบว่าผลิตภัณฑ์ชนิด A มีปริมาณความต้องการสูงที่สุดอย่างมีนัยสำคัญเมื่อเทียบกับผลิตภัณฑ์อื่นๆ เช่น B, C, D และ E ดังแสดงในรูปที่ 1 โดยความต้องการผลิตภัณฑ์ A มีแนวโน้มเพิ่มขึ้นอย่าง

ต่อเนื่องจาก 78.6 ล้านชิ้นในปี พ.ศ. 2565 เป็น 89.3 ล้านชิ้นในปี พ.ศ.2566 และคาดว่าจะสูงถึง 93.8 ล้านชิ้นในปี พ.ศ. 2567

ด้วยปริมาณการผลิตที่สูงนี้ การปรับปรุงเพียงเล็กน้อยในกระบวนการผลิตของผลิตภัณฑ์ A สามารถส่งผลกระทบต่อต้นทุนโดยรวมได้อย่างชัดเจน จากการคำนวณต้นทุน ณ ปี พ.ศ. 2565 พบว่าต้นทุนการผลิตต่อหน่วยของผลิตภัณฑ์ A อยู่ที่ 0.0101 บาท ซึ่งเมื่อคำนวณตามปริมาณความต้องการในปี พ.ศ. 2566 และ พ.ศ. 2567 จะคิดเป็นต้นทุนรวมกว่า 1.86 ล้านบาท

จากการสำรวจกระบวนการทำงานในปัจจุบัน พบว่าขั้นตอนการทดสอบทางไฟฟ้าของผลิตภัณฑ์ A ด้วยเครื่องทดสอบ ใช้ระยะเวลาในกระบวนการเฉลี่ยทั้งหมด 11.53 วินาทีต่อการทดสอบ 1 ครั้ง (480 ตัว) โดยแบ่งเป็นระยะเวลาในการทดสอบ (Test Time) เฉลี่ย 7.70 วินาที และระยะเวลาของเครื่องจักร (Machine Time) ซึ่งรวมถึงการประมวลผลและแสดงผลข้อมูล เฉลี่ย 3.83 วินาที ระยะเวลาในส่วนของเครื่องจักรนี้จึงกลายเป็นเป้าหมายหลักในการวิเคราะห์และปรับปรุงเพื่อลดเวลาสูญเปล่า (Waste) ในกระบวนการ

ดังนั้น งานวิจัยนี้จึงมุ่งเน้นการวิเคราะห์และแก้ไขปัญหาที่ทำให้เกิดความล่าช้าในกระบวนการทดสอบทางไฟฟ้าของผลิตภัณฑ์ A โดยมีเป้าหมายเพื่อลดระยะเวลาการทำงานของเครื่องจักร ซึ่งจะส่งผลโดยตรงต่อการลดรอบเวลาการผลิต (Cycle Time) และนำไปสู่การลดต้นทุนการผลิต โดยใช้เครื่องมือแผนภูมิเหตุและผล รวมถึงการให้คะแนนสาเหตุของปัญหาเพื่อคัดเลือกสาเหตุที่สำคัญเพื่อนำไปแก้ปัญหา



รูปที่ 1 แนวโน้มความต้องการของแต่ละผลิตภัณฑ์ระหว่างปี พ.ศ. 2565-2567

2. ขอบเขตงานวิจัย

งานวิจัยนี้มีวัตถุประสงค์หลักเพื่อลดต้นทุนการผลิตของผลิตภัณฑ์ A โดยมุ่งเน้นการลดระยะเวลาของกระบวนการทดสอบทางไฟฟ้า ขอบเขตการศึกษาจำกัดเฉพาะกระบวนการทดสอบบรรจุภัณฑ์วงจรรวมของผลิตภัณฑ์ A โดยจะพิจารณาวิเคราะห์ขั้นตอนตั้งแต่แผ่นวงจรรวมถูกนำเข้าเครื่องจักรจนสิ้นสุดกระบวนการทดสอบ การวิเคราะห์และประเมินผลจะอ้างอิงข้อมูลที่รวบรวมในช่วงเดือนมกราคม พ.ศ. 2565 ถึง ธันวาคม พ.ศ. 2567 เพื่อวัดผลการลดต้นทุน

3. ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

การลดต้นทุนในการผลิตโดยการลดเวลาของกระบวนการทดสอบทางไฟฟ้าผลิตภัณฑ์ A มีความเกี่ยวข้องกับแนวคิดทางทฤษฎีและงานวิจัยหลายสาขา ซึ่งครอบคลุมตั้งแต่กระบวนการผลิตวงจรรวม เครื่องมือควบคุมคุณภาพ ไปจนถึงทฤษฎีการผลิตแบบลีนและการวิเคราะห์ทางสถิติ รวมถึงงานวิจัยที่ทันสมัยเกี่ยวกับการเพิ่มประสิทธิภาพการทดสอบและการปรับปรุงส่วนต่อประสานกับผู้ใช้งาน

กระบวนการผลิตวงจรรวม (Integrated circuit :IC) เป็นขั้นตอนที่ซับซ้อนและใช้เวลามาก โดยเฉพาะในส่วนของการทดสอบทางไฟฟ้าซึ่งเป็นหัวใจสำคัญในการรับรองคุณภาพของผลิตภัณฑ์วงจรรวม ก่อนส่งมอบถึงมือลูกค้า [2] กระบวนการนี้ประกอบด้วยหลายขั้นตอน ตั้งแต่การออกแบบ, การผลิตแผ่นเวเฟอร์ (Wafer Fabrication), การทดสอบแผ่นเวเฟอร์ (Wafer Test), การประกอบชิ้นส่วน (Assembly) และการทดสอบขั้นสุดท้าย (Final Test) [2] ในแต่ละขั้นตอนการทดสอบจะมีการตรวจสอบคุณสมบัติทางไฟฟ้าเพื่อให้แน่ใจว่าผลิตภัณฑ์เป็นไปตามข้อกำหนด [3] การลดเวลาในกระบวนการทดสอบเหล่านี้จึงส่งผลโดยตรงต่อต้นทุนการผลิตและความสามารถในการแข่งขัน

ในงานวิจัยปัจจุบัน การลดเวลาและเพิ่มประสิทธิภาพในการทดสอบวงจรรวม ได้รับความสนใจอย่างมาก งานวิจัยของ Tziantzioulis et al. [4] ได้ชี้ให้เห็นถึงความท้าทายในการพัฒนาเครื่องมือออกแบบอัตโนมัติ (Electronic Design Automation tools: EDA) ที่สามารถจัดการกับความซับซ้อนของวงจรรวม ในปัจจุบัน ซึ่งส่งผลต่อความสามารถในการทดสอบ (Testability) และเวลาที่ใช้ในการทดสอบ นอกจากนี้ งานวิจัยเกี่ยวกับการวิเคราะห์ผลผลิต (Yield Analysis) ในอุตสาหกรรมเซมิคอนดักเตอร์ได้นำเสนอเทคนิคหลากหลาย เช่น แผนภูมิพาเรโต, ผังก้างปลา, การถดถอย, การวางแผนการทดลอง และซิกซิกม่า เพื่อระบุและแก้ไขปัญหาที่ส่งผลต่อผลผลิต ซึ่งรวมถึงปัญหาที่เกิดขึ้นในขั้นตอนการทดสอบ [5]

เครื่องมือควบคุมคุณภาพเป็นสิ่งจำเป็นในการระบุ วิเคราะห์ และแก้ไขปัญหาในกระบวนการผลิตเพื่อปรับปรุงคุณภาพและลดของเสีย ซึ่งประกอบด้วย 7 เครื่องมือพื้นฐาน ได้แก่ แผนภูมิตรวจสอบ (Check Sheet), กราฟ (Graphs), ฮิสโตแกรม (Histogram), แผนภูมิพาเรโต (Pareto Chart), ผังก้างปลา (Fishbone Diagram), แผนภูมิกระจัดกระจาย (Scatter Diagram) และ แผนภูมิควบคุม (Control Chart) [2] การประยุกต์ใช้เครื่องมือเหล่านี้ช่วยให้สามารถระบุสาเหตุของปัญหาความล่าช้าในกระบวนการทดสอบได้อย่างเป็นระบบ

ในปัจจุบัน ซอฟต์แวร์ควบคุมคุณภาพ (Quality Control Software) ได้เข้ามามีบทบาทสำคัญในการบูรณาการเครื่องมือเหล่านี้เข้าด้วยกัน [6] ช่วยให้การจัดการคุณภาพมีประสิทธิภาพมากยิ่งขึ้น โดยซอฟต์แวร์เหล่านี้มักจะรวมถึงฟังก์ชันการควบคุมกระบวนการทางสถิติ (Statistical Process Control : SPC), การจัดการความเสี่ยง, และการควบคุมเอกสาร ซึ่งเป็นประโยชน์อย่างยิ่งในการจัดการคุณภาพในอุตสาหกรรมที่มีความซับซ้อนสูงเช่นการผลิตอิเล็กทรอนิกส์ [7]

ทฤษฎีการผลิตแบบลีนมีเป้าหมายหลักในการลดการสูญเปล่า (Waste) ในกระบวนการผลิตเพื่อเพิ่มมูลค่าให้กับลูกค้าและลดต้นทุน โดยเน้นที่การระบุและการขจัดความสูญเปล่า 7 ประการ ได้แก่ ของเสียเกินความจำเป็น การรอคอย การเคลื่อนไหวที่ไม่จำเป็น การขนส่ง การผลิตเกินความจำเป็น กระบวนการที่ซับซ้อน และข้อบกพร่อง นอกจากนี้ หลักการของลีนยังรวมถึง 5ส (สะสาง สะดวก สะอาด สุขลักษณะ สร้างวินัย), เวลาแท็กต์ (Takt Time), ระบบคัมบัง (Kanban) และการบำรุงรักษาทวีผลที่ทุกคนมีส่วนร่วม (Total Productive Maintenance: TPM) [2] การนำแนวคิดลีนมาประยุกต์ใช้สามารถช่วยลดเวลาในกระบวนการทดสอบและลดต้นทุนได้อย่างเป็นรูปธรรม

ปัจจุบันแนวคิดการผลิตแบบลีนได้พัฒนาไปสู่ "การผลิตอัจฉริยะ" (Smart Manufacturing) หรือ Industry 4.0 โดยเฉพาะในอุตสาหกรรมเซมิคอนดักเตอร์ การผลิตอัจฉริยะนี้เป็นการบูรณาการเทคโนโลยีดิจิทัล เข้ากับหลักการของ

ลีน เพื่อเพิ่มประสิทธิภาพและความยั่งยืนในกระบวนการผลิต ทำให้สามารถปรับตัวเข้ากับความต้องการของตลาดที่เปลี่ยนแปลงไปได้รวดเร็วยิ่งขึ้น [8] การนำลีนมาใช้ยังคงเป็นกลยุทธ์สำคัญในการลดต้นทุนการผลิต โดยเฉพาะการขจัดความสูญเปล่า 8 ประการ (เพิ่มทักษะที่ไม่ได้ใช้) และการนำระบบอัตโนมัติขั้นสูง, การบำรุงรักษาเชิงพยากรณ์, การวิเคราะห์ข้อมูล, และระบบ JIT (Just-in-Time) มาใช้ [9]

ปัญหาที่ระบุในงานวิจัยคือ "ระยะเวลาที่ใช้ในการแสดงผลข้อมูลบนหน้าจอเป็นเวลานาน" ซึ่งส่งผลต่อประสิทธิภาพโดยรวมของกระบวนการทดสอบ การปรับปรุงส่วนต่อประสานกับผู้ใช้งาน ในปัจจุบันให้ความสำคัญกับการเพิ่มประสิทธิภาพและความน่าเชื่อถือในสภาพแวดล้อมทางอุตสาหกรรม โดยเน้นการออกแบบที่ใช้งานง่าย การแสดงสถานะที่ชัดเจน, และการจัดวางข้อมูลที่เป็นระเบียบ [8]

โดยเทคนิคที่ใช้ในงานวิจัยนี้ได้ประยุกต์ใช้เทคนิคลีนดังที่กล่าวมาแล้ว และใช้การออกแบบการทดลองเพื่อเป็นการทดสอบให้ทราบแน่ชัดว่าแนวทางการปรับปรุงส่งผลกระทบให้เกิดความเปลี่ยนแปลงอย่างถูกต้องความหลักการสถิติวิศวกรรม [10] โดยงานวิจัยนี้ได้นำเสนอแนวทางการวิเคราะห์ปัญหา การแก้ปัญหาในด้านการทดสอบทางไฟฟ้าของแผงวงจรรวม ซึ่งจะช่วยในการพัฒนา ประยุกต์ในการลดเวลาในการทดสอบเพื่อเพิ่มผลผลิตสำหรับอุตสาหกรรมเซมิคอนดักเตอร์

4. การดำเนินการวิจัย

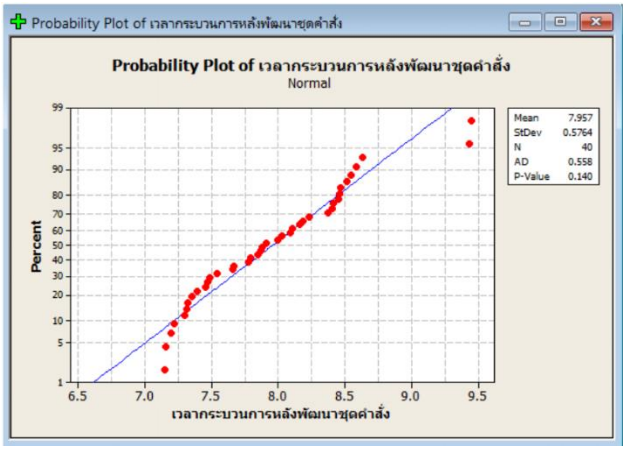
การศึกษาวิจัยนี้มีวัตถุประสงค์เพื่อลดต้นทุนการผลิตของผลิตภัณฑ์วงจรรวม (IC) รุ่น A โดยมุ่งเน้นการลดระยะเวลาของกระบวนการทดสอบทางไฟฟ้า ซึ่งเป็นขั้นตอนที่ส่งผลโดยตรงต่อต้นทุนรวมขององค์กร เพื่อให้บรรลุเป้าหมายดังกล่าว ผู้วิจัยได้วางระเบียบวิธีวิจัยอย่างเป็นระบบตามแผนภาพในรูปที่ 2 โดยมีรายละเอียดในแต่ละขั้นตอนดังนี้

4.1 การศึกษาสภาพปัญหาและกำหนดตัวชี้วัด (Problem Definition & Metrics Establishment)

ขั้นตอนแรกเป็นการทำความเข้าใจกระบวนการทำงานปัจจุบันอย่างลึกซึ้ง ผู้วิจัยได้ทำการศึกษาขั้นตอนการทดสอบทางไฟฟ้าของผลิตภัณฑ์ A ด้วยเครื่องจักรทดสอบ จากการรวบรวมข้อมูลการทดสอบ 40 ครั้ง พบว่ากระบวนการมีระยะเวลาเฉลี่ยรวม 11.53 วินาทีต่อการทดสอบ 480 ตัว โดยแบ่งเป็น 2 ส่วนหลักคือ

- ระยะเวลาในการทดสอบ (Test Time): 7.70 วินาที
- ระยะเวลาของเครื่องจักร (Machine Time): 3.83 วินาที ซึ่งรวมถึงการประมวลผลและแสดงผลทางหน้าจอ

ข้อมูลชุดนี้ได้ผ่านการทดสอบภาวะปกติ (Normality Test) และพบว่ามีการแจกแจงแบบปกติ (P-Value = 0.514) จึงเหมาะสมที่จะใช้เป็นข้อมูลฐาน (Baseline) สำหรับการเปรียบเทียบต่อไป โดยแสดงผลการทดสอบภาวะปกติในรูปที่ 2



รูปที่ 2 แสดงผลการทดสอบภาวะปกติของเวลาในกระบวนการหลังปรับปรุงชุดคำสั่ง

ทั้งนี้สามารถแสดงขั้นตอนการทดสอบได้โดยนำเสนอเป็นแผนภูมิการไหล โดยพิจารณาขั้นตอนย่อยและเวลาของในแต่ละขั้นตอนย่อย เพื่อวิเคราะห์ขั้นตอนที่เกิดความสูญเปล่า เพื่อนำไปสู่การวิเคราะห์สาเหตุและแก้ปัญหาต่อไป โดยขั้นตอนในการทดสอบทางไฟฟ้าและเวลาที่ใช้ในแต่ละขั้นตอนสามารถแสดงในรูปที่ 3

	เวลาเฉลี่ยที่ใช้ [ส่วนเบี่ยงเบนมาตรฐาน] (วินาที)
1. ตัวทดสอบส่งสัญญาณไปทางหน่วยประมวลผลโดนเครื่องคอมพิวเตอร์เพื่อให้หน่วยประมวลผลรวบรวมข้อมูลในการเตรียมการทดสอบทางไฟฟ้า	0.0001 [0.00001]
2. หน่วยประมวลผลทำการส่งสัญญาณไปยังระบบทดสอบเพื่อกำหนดลักษณะการทดสอบทางไฟฟ้าที่เหมาะสมกับแผ่นวงจรรวมที่นำมาทดสอบ	0.0001 [0.00001]
3. ระบบทดสอบทำการทดสอบทางไฟฟ้าตามที่หน่วยประมวลผลสั่งการ	7 [0.32]
4. ระบบทดสอบส่งผลการทดสอบไปยังหน่วยประมวลผล	0.0001 [0.00001]
5. หน่วยประมวลผลรวบรวมผลการทดสอบและทำการแสดงผลทางหน้าจอแสดงผลการทดสอบ	3.6 [0.15]
6. หน่วยประมวลผลส่งสัญญาณไปยังหัวตรวจสอบเพื่อระบุผลลัพธ์ว่าชิ้นงานทีทำการทดสอบเป็นชิ้นงานที่ดีหรือเสีย	0.0001 [0.00001]
7. หัวตรวจสอบทำการทดสอบในตำแหน่งอื่นในแผงวงจรรวม	0.4 [0.05]
รวม	11.0004

รูปที่ 3 แผนภูมิการไหลของขั้นตอนในการทดสอบทางไฟฟ้าและเวลาที่ใช้ในแต่ละขั้นตอน

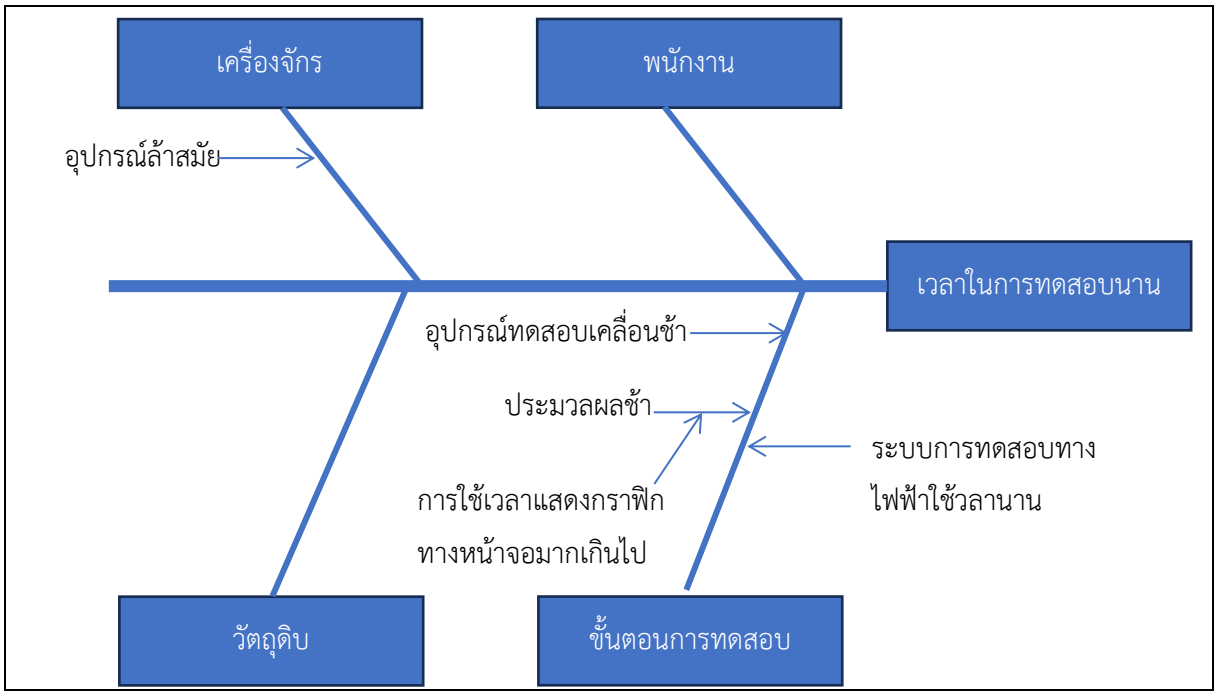
4.2 การวิเคราะห์หาสาเหตุรากเหง้าของปัญหา (Root Cause Analysis)

เพื่อระบุสาเหตุของปัญหาความล่าช้าอย่างเป็นระบบ ผู้วิจัยได้ประยุกต์ใช้เครื่องมือควบคุมคุณภาพ (Quality Control Tools) โดยการระดมสมองร่วมกับทีมวิศวกรและผู้ปฏิบัติงานเพื่อสร้าง แผนภาพก้างปลา (Fish-bone Diagram) ซึ่งชี้ให้เห็นปัจจัยที่เป็นไปได้ 3 ด้านหลักคือ เครื่องจักร, ขั้นตอนการทำงาน, และวัตถุดิบ ซึ่งแสดงได้ดังรูปที่ 4

จากนั้น เพื่อจัดลำดับความสำคัญของปัญหาที่ระบุในแผนภาพก้างปลา ทีมวิเคราะห์ได้พัฒนาระบบการให้คะแนน (Scoring System) โดยพิจารณาจาก 3 เกณฑ์:

- ผลกระทบต่อลูกค้า (Customer Impact)
- เงินลงทุนที่ต้องใช้ (Investment Cost)
- ผลกระทบต่อการลดเวลา (Impact on Time Reduction)

โดยทั้งสามเกณฑ์ มีเกณฑ์ให้คะแนน คือ เป็นระดับ มาก ปานกลาง น้อย และไม่มีผลกระทบ สำหรับ สองเกณฑ์แรก จะแปลงคะแนนจาก ทั้ง 4 ระดับ เป็นค่าตัวเลข 1 3 6 และ 9 ตามลำดับ เนื่องจากเป็นผลกระทบเชิงลบ ในเกณฑ์ที่สามจะแปลงคะแนนจาก ทั้ง 4 ระดับ เป็นค่าตัวเลข 9 6 3 และ 1 ตามลำดับ เนื่องจากเป็นผลกระทบเชิงบวก และคะแนนรวมจะเกิดจากนำคะแนนแต่ละเกณฑ์มาคูณกัน โดยหลักการในการเลือกเกณฑ์ทั้งสาม พิจารณาโดยความเห็นของทีมงานแก้ปัญหาระดมสมองแล้วได้ข้อสรุปว่าควรเลือกใช้ทั้งสามเกณฑ์ ดังกล่าวและเห็นว่าจะครอบคลุมในแง่ทั้งการปรับปรุงด้านเวลา ผลกระทบต่อกิจการในแง่ของเงินที่ต้องใช้ในการลงทุน และพิจารณาผลกระทบที่อาจส่งผลต่อลูกค้าในแง่ของคุณภาพสินค้าด้วยไปพร้อมกัน ผลการประเมินให้คะแนนสามารถแสดงได้ในตารางที่ 1



รูปที่ 4 แผนภาพก้างปลาเพื่อวิเคราะห์สาเหตุ

ผลการประเมินพบว่า "การใช้เวลาแสดงกราฟิกทางหน้าจอมากเกินไป" ได้รับคะแนนสูงสุดถึง 486 คะแนน ทำให้ถูกเลือกเป็นปัญหาหลักที่ต้องดำเนินการแก้ไขเป็นลำดับแรก

4.3 การออกแบบการทดลองเพื่อพิสูจน์สมมติฐาน (Experimental Design)

เมื่อระบุได้ว่าปัญหาหลักน่าจะเกิดจากการแสดงผลกราฟิก ผู้วิจัยจึงได้ออกแบบการทดลองเพื่อพิสูจน์สมมติฐานดังกล่าว โดยหน้าจอแสดงผลหลักจะมีการแสดงผลทั้งหมด 4 ส่วน โดยใช้หน้าต่างย่อย 4 หน้าต่าง ได้แก่ Control , Yield , Binning, และ TestNum ซึ่งหน้าต่าง Yield มีลักษณะการแสดงผลที่แตกต่างจากหน้าต่างอื่นคือเป็น แผนภูมิแท่ง (Bar Graph) ในขณะที่หน้าต่างอื่นเป็นข้อมูลแบบข้อความ (Text)

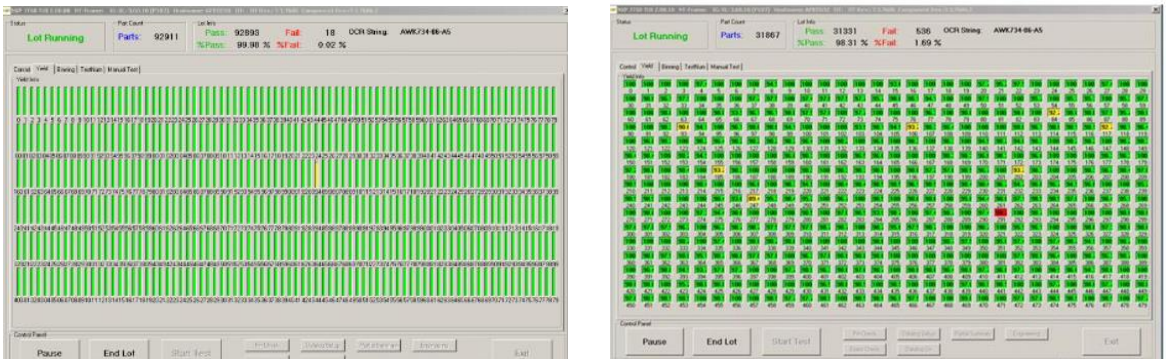
ตารางที่ 1 การให้คะแนนผลกระทบของแต่ละสาเหตุ

ลำดับ	สาเหตุ	ผลกระทบต่อลูกค้า	เงินลงทุนที่ต้องใช้	ผลกระทบต่อการลดเวลา	คะแนนรวม	คิดเป็นร้อยละของคะแนนรวม
1	การใช้เวลาแสดงกราฟิกทางหน้าจอมากเกินไป	9	9	6	486	75.00
2	อุปกรณ์ทดสอบเคลื่อนช้า	9	1	9	81	12.50
3	ระบบการทดสอบทางไฟฟ้าใช้เวลานาน	1	6	9	54	8.33
4	อุปกรณ์ล้าสมัย	9	3	1	27	4.17

การทดลองจึงประกอบด้วย 4 รูปแบบหลัก โดยแต่ละรูปแบบจะทำการปิดการแสดงผลของหน้าต่างทีละส่วน และทำการเก็บข้อมูลระยะเวลาของเครื่องจักร (Machine Time) จำนวน 40 ครั้งต่อหนึ่งรูปแบบการทดลอง ณ ตำแหน่งเดียวกันบนแผ่นเวเฟอร์ เพื่อควบคุมตัวแปรและหาว่าหน้าต่างใดที่ส่งผลกระทบต่อเวลามากที่สุด ก่อนเริ่มการทดลอง ได้มีการคำนวณ อำนาจการทดสอบ (Power of Test) จากข้อมูลตั้งต้น (ขนาดตัวอย่าง 40, ค่าเบี่ยงเบนมาตรฐาน 1.151) และพบว่าค่า Power มีค่าสูงถึง 0.999657 ซึ่งยืนยันว่าจำนวนตัวอย่างที่ใช้มีความน่าเชื่อถือและเพียงพอในการตรวจจับความแตกต่างได้อย่างมีนัยสำคัญ

4.4 การพัฒนาแนวทางการแก้ไขและนำไปใช้งาน (Solution Development & Implementation)

ผลจากการออกแบบการทดลองในขั้นตอนก่อนหน้า ได้พิสูจน์อย่างชัดเจนว่าหน้าต่าง Yield ที่แสดงผลเป็นแผนภูมิแท่งเป็นสาเหตุหลักของความล่าช้า อย่างไรก็ตาม การปิดหน้าต่างนี้ไปเลยจะทำให้ผู้ใช้งานไม่สามารถติดตามการทำงานได้ ซึ่งเป็นปัญหาที่พบในการวิจัย ดังนั้น ผู้วิจัยจึงได้ทำการพัฒนาชุดคำสั่งใหม่ โดยใช้โปรแกรม Visual Basic 6 เพื่อปรับเปลี่ยนการแสดงผลของหน้าต่าง Yield จากรูปแบบแผนภูมิแท่ง (Bar Graph) ไปเป็น ข้อมูลแบบข้อความ (Text) ซึ่งยังคงแสดงข้อมูลที่จำเป็นและมีการใช้สีเพื่อบ่งบอกสถานะของ Yield ตามข้อเรียกร้องของผู้ใช้งาน โดยสามารถแสดงในรูปที่ 5



ก่อนการปรับปรุง หลังการปรับปรุง

รูปที่ 5 การแสดงผลหน้าต่าง ก่อนและหลังการปรับปรุง

หลังจากพัฒนาและทดสอบชุดคำสั่งใหม่จนสมบูรณ์แล้ว ได้มีการนำไปติดตั้งในกระบวนการผลิตจริง และทำการเก็บข้อมูลระยะเวลาของกระบวนการทั้งหมดอีกครั้งจำนวน 40 ครั้ง เพื่อนำข้อมูลที่ได้ไปเปรียบเทียบกับข้อมูลของกระบวนการเดิม

4.5 การวิเคราะห์และสรุปผลเชิงสถิติ (Statistical Analysis & Conclusion)

เพื่อเปรียบเทียบประสิทธิภาพระหว่างกระบวนการก่อนและหลังการปรับปรุงอย่างเป็นกลางและน่าเชื่อถือ ผู้วิจัยได้เลือกใช้สถิติทดสอบ Paired t-Test เนื่องจากเป็นการวัดผลจากกลุ่มตัวอย่างเดียวกัน (แผ่นเวเฟอร์และตำแหน่งทดสอบเดิม) ในสองสภาวะที่แตกต่างกัน (ก่อนและหลังปรับปรุง Software) ซึ่งเป็นข้อมูลแบบไม่อิสระต่อกัน (Dependent Samples) โดยมีการตั้งสมมติฐานดังนี้

H_0 (สมมติฐานหลัก): μ(เก่า) = μ(ใหม่) (ระยะเวลาเฉลี่ยไม่แตกต่างกัน)

H_1 (สมมติฐานรอง): μ(เก่า) > μ(ใหม่) (ระยะเวลาเฉลี่ยหลังปรับปรุงน้อยกว่าเดิม)

ผลการวิเคราะห์จากโปรแกรม Minitab จะถูกใช้เพื่อสรุปว่าการลดลงของระยะเวลานั้นมีนัยสำคัญทางสถิติที่ระดับความเชื่อมั่น 95% (alpha=0.05) หรือไม่

5. ผลการวิจัย

ผลการวิจัยที่ได้จากการดำเนินการตามระเบียบวิธีวิจัยจะถูกนำเสนอตามลำดับ ตั้งแต่การระบุสาเหตุของปัญหา การประเมินประสิทธิภาพของแนวทางการแก้ไข ไปจนถึงการวิเคราะห์ผลกระทบทางการเงิน

5.1 การระบุคอขวดของประสิทธิภาพในกระบวนการ (Identification of the Performance Bottleneck)

เพื่อพิสูจน์สมมติฐานที่ว่าการแสดงผลทางหน้าจอเป็นสาเหตุหลักของความล่าช้าในกระบวนการ จึงได้มีการออกแบบการทดลองเพื่อแยกผลกระทบขององค์ประกอบหน้าจอแต่ละส่วน ผลการเปรียบเทียบระยะเวลาเฉลี่ยของเครื่องจักร (Machine Time) ภายใต้สภาวะต่างๆ แสดงไว้ในตารางที่ 2

ตารางที่ 2 ผลเปรียบเทียบระยะเวลาเฉลี่ยของเครื่องจักรจากการทดลองปิดหน้าต่างแสดงผล

สภาวะการทดลอง	ระยะเวลาเฉลี่ยของเครื่องจักร (วินาที)	ระยะเวลาเฉลี่ยของกระบวนการทั้งหมด (วินาที)
ค่าตั้งต้น (เปิดทุกหน้าต่าง)	3.83	11.53
ปิดหน้าต่าง Control	3.82	11.16
ปิดหน้าต่าง Yield	0.58	7.94
ปิดหน้าต่าง Binning	3.79	11.24
ปิดหน้าต่าง TestNum	3.81	11.33

จากตารางที่ 2 เห็นได้อย่างชัดเจนว่าการปิดหน้าต่าง Control, Binning, และ TestNum ซึ่งแสดงผลเป็นข้อมูลแบบข้อความ (Text) แทบไม่ส่งผลต่อระยะเวลาของเครื่องจักร ในทางตรงกันข้าม การปิดหน้าต่าง "Yield" ซึ่งแสดงผลเป็นแผนภูมิแท่ง (Bar Graph) เพียงหน้าต่างเดียวส่งผลให้ระยะเวลาของเครื่องจักรลดลงอย่างมีนัยสำคัญที่สุด

ทั้งนี้ค่า Yield นั้นโดยปกติมีค่าระหว่าง 0–100 % ผู้ออกแบบชุดคำสั่งเดิมจึงออกแบบให้อยู่ในรูปแบบแผนภูมิแท่งโดยมีวัตถุประสงค์ให้มองด้วยตาเปล่าและตีความได้ง่าย ทั้งนี้การทดสอบค่า Yield มีขึ้นเพื่อแสดงว่าผลิตภัณฑ์ที่ทำการทดสอบมีความสามารถในการทำงานได้ประสิทธิภาพเท่าใด ผลการทดลองในขั้นตอนนี้จึงนำไปสู่ข้อสรุปที่สำคัญว่า การประมวลผลเพื่อสร้างและแสดงผล (Render) แผนภูมิแท่งของหน้าต่าง "Yield" คือคอขวด (Bottleneck) หลักของประสิทธิภาพ ซึ่งสร้างภาระการประมวลผล (Computational Overhead) คิดเป็นเวลาถึง 3.25 วินาที (84.86%) ของ Machine Time ทั้งหมด

5.2 การประเมินประสิทธิภาพของโซลูชันที่พัฒนาขึ้น (Performance Evaluation of the Re-engineered Solution)

จากข้อสรุปข้างต้นและตามความต้องการของผู้ใช้งานที่ไม่สามารถปิดหน้าต่าง Yield ทิ้งไปได้ ผู้วิจัยจึงได้พัฒนาชุดคำสั่งใหม่เพื่อเปลี่ยนการแสดงผลจากแผนภูมิแท่งเป็นข้อมูลแบบข้อความที่มีการเข้ารหัสด้วยสีแทนซึ่งเป็นการแสดงข้อความของตัวเลขที่ทดสอบได้ ซึ่งอยู่ระหว่าง 0-100% โดยไม่ได้ประมวลผลทางกราฟฟิคเพิ่มเติมให้เป็นแผนภูมิแท่งอีกต่อไปโดยยังสามารถพิจารณาว่าผ่านหรือไปได้ดังเดิมเพราะ เป็นการแสดงค่าตัวเลขด้วยสีโดยหากแสดงเป็นสีเขียวคือผ่านเกณฑ์การทดสอบ และแสดงตัวเลขด้วยสีแดงหากไม่ผ่านการทดสอบ ตารางที่ 3 แสดงผลการเปรียบเทียบระยะเวลาเฉลี่ยของกระบวนการโดยรวมระหว่างก่อนและหลังการใช้ชุดคำสั่งใหม่

ตารางที่ 3 เปรียบเทียบระยะเวลาเฉลี่ยของกระบวนการทดสอบทางไฟฟ้าก่อนและหลังการปรับปรุง

การทดลอง	ระยะเวลาเฉลี่ยของเครื่องจักร (วินาที)
ก่อนพัฒนา (แบบกราฟแท่ง)	3.83
หลังพัฒนา (แบบ Text)	0.63

ผลลัพธ์แสดงให้เห็นว่าโซลูชันใหม่สามารถลดระยะเวลาของกระบวนการโดยรวมลงได้ 3.20 วินาที หรือคิดเป็น การลดลงร้อยละ 83.55

เพื่อยืนยันว่าผลลัพธ์นี้มีนัยสำคัญทางสถิติและไม่ได้เกิดจากความบังเอิญ จึงได้ทำการทดสอบสมมติฐานโดยใช้ Paired t-Test กับข้อมูลระยะเวลาของกระบวนการก่อนและหลังการปรับปรุงจำนวน 40 คู่ ผลการทดสอบจากโปรแกรม Minitab สรุปได้ดังนี้

- จำนวนครั้งในการทดลอง 40 ครั้ง
- ความแตกต่างของค่าเฉลี่ย = 3.574 วินาที
- T-Value = 16.79
- P-Value = 0.000

ด้วยค่า P-Value ที่เข้าใกล้ศูนย์ (α = 0.05) จึงสามารถปฏิเสธสมมติฐานหลัก (H_0) และสรุปได้อย่างมีนัยสำคัญทางสถิติที่ระดับความเชื่อมั่น 95% ว่า ระยะเวลาของกระบวนการทดสอบทางไฟฟ้าหลังการปรับปรุงชุดคำสั่งนั้นน้อยกว่าระยะเวลาของกระบวนการเดิมอย่างแท้จริง

5.3 การวิเคราะห์ผลกระทบทางการเงิน (Financial Impact Analysis)

การลดลงของระยะเวลาในกระบวนการส่งผลโดยตรงต่อปริมาณการผลิต (Throughput) และต้นทุนต่อหน่วย (Unit Cost) ดังแสดงในตารางที่ 3

ตารางที่ 4 เปรียบเทียบต้นทุนการผลิตก่อนและหลังการปรับปรุง

ตัวชี้วัด	ก่อนปรับปรุง	หลังปรับปรุง
ปริมาณการผลิต (ตัว/ชั่วโมง)	118,106	217,085
ต้นทุนการผลิต (บาท/ตัว)	0.0101	0.0055

จากตารางที่ 4 ก่อนปรับปรุงปริมาณการผลิตอยู่ที่ 118,106 ตัว/ชั่วโมง หลังปรับปรุงแล้วเพิ่มขึ้นเป็น 217,085 ตัว/ชั่วโมง นอกจากนั้น เมื่อนำต้นทุนต่อหน่วยที่ลดลงมาคำนวณกับปริมาณความต้องการของลูกค้าในปี 2566-2567 จะพบว่าการปรับปรุงนี้ส่งผลให้เกิดการประหยัดต้นทุนได้อย่างมหาศาล ดังแสดงในตารางที่ 5

ตารางที่ 5 สรุปผลการประหยัดต้นทุนในปี 2566 – 2567

รายการ	ปี 2566 (บาท)	ปี 2567 (บาท)
ต้นทุนก่อนปรับปรุง	905,794	951,861
ต้นทุนหลังปรับปรุง	492,801	517,864
ต้นทุนที่ประหยัดได้	412,993	433,997

จากตารางที่ 5 โดยก่อนปรับปรุงต้นทุนการทดสอบอยู่ที่ 905,794 บาท สำหรับปี 2566 หลังปรับปรุงแล้วลดลงเหลือ 492,801 และ สำหรับปี 2567 ต้นทุนก่อนการปรับปรุงอยู่ที่ 951,861 บาท และหลังปรับปรุงแล้วลดลงเหลือ 517,864 ดังนั้น ผลการวิจัยสรุปได้ว่า การปรับปรุงกระบวนการทดสอบทางไฟฟ้าด้วยการพัฒนาชุดคำสั่งแสดงผลใหม่ ส่งผลให้เกิดการประหยัดต้นทุนในการผลิตรวมทั้งสิ้น 852,990 บาท สำหรับปี 2566-2567 คิดเป็นการลดต้นทุนถึง ร้อยละ 46

6. สรุป

งานวิจัยนี้เริ่มต้นจากความท้าทายทางธุรกิจในการลดต้นทุนการผลิตผลิตภัณฑ์ U9 อย่างน้อย 20%. กระบวนการวิจัยได้ระบุว่าขั้นตอนการทดสอบทางไฟฟ้าซึ่งใช้เวลาเฉลี่ย 11.53 วินาที เป็นจุดที่ควรปรับปรุง. การวิเคราะห์ด้วยแผนภาพก้างปลาและการให้คะแนนอย่างเป็นระบบได้ชี้ชัดว่าสาเหตุรากเหง้าของความล่าช้าคือภาระการประมวลผลของ CPU ในการแสดงผลแผนภูมิแท่ง (Bar Graph) ของหน้าต่าง "Yield".

การออกแบบการทดลองโดยการแยกตัวแปรยืนยันว่าการปิดหน้าต่าง Yield เพียงอย่างเดียวสามารถลด "Machine Time" ลงได้ถึง 84.86% จาก 3.83 วินาที เหลือเพียง 0.58 วินาที. จากข้อค้นพบนี้ ผู้วิจัยได้พัฒนาและใช้ชุดคำสั่งใหม่ที่เปลี่ยนการแสดงผลเป็นแบบข้อความ (Text-based) ที่มีประสิทธิภาพสูงกว่า.

ผลลัพธ์สุดท้ายหลังการปรับปรุงแสดงให้เห็นว่า ระยะเวลาของกระบวนการทั้งหมดลดลงเหลือ 7.96 วินาที (ลดลง 31%) ซึ่งได้รับการยืนยันว่ามีนัยสำคัญทางสถิติผ่านการทดสอบ Paired t-Test (P-Value = 0.000). การปรับปรุงนี้ส่งผลโดยตรงต่อการลดต้นทุนการผลิตรวมสำหรับปี 2566-2567 เป็นมูลค่า 852,990 บาท หรือคิดเป็นการลดลงถึง 46%

7. ข้อเสนอแนะ

องค์กรควรนำชุดคำสั่งที่พัฒนาขึ้นนี้ไปประยุกต์ใช้กับผลิตภัณฑ์อื่นๆ ทั้งหมดที่ใช้แพลตฟอร์มการทดสอบ J750. การกระทำนี้ไม่เพียงแต่จะขยายผลของการประหยัดต้นทุนให้ครอบคลุมทั้งองค์กร แต่ยังเป็นการสร้างมาตรฐานการทำงานใหม่ที่ให้ความสำคัญกับประสิทธิภาพเชิงซอฟต์แวร์ และควรมีการจัดฝึกอบรมผู้ใช้งานทุกคนให้เข้าใจถึงการเปลี่ยนแปลงและวิธีการอ่านข้อมูลจากหน้าจอแสดงผลรูปแบบใหม่. เพื่อให้แน่ใจว่าการเปลี่ยนผ่านจะเป็นไปอย่างราบรื่นและป้องกันความผิดพลาดที่อาจเกิดจากการตีความข้อมูลผิด ทั้งองค์กรควรพิจารณาสร้างกระบวนการหรือทีมงานที่รับผิดชอบในการตรวจสอบและค้นหา "ความสูญเปล่าเชิงดิจิทัล" ในซอฟต์แวร์ควบคุมกระบวนการผลิตอื่นๆ อย่างสม่ำเสมอ เพื่อเปลี่ยนการแก้ไขปัญหาเฉพาะหน้าให้เป็นการปรับปรุงอย่างต่อเนื่องและเป็นวัฒนธรรม.

แนวทางการวิจัยในอนาคตที่ การพัฒนาระบบทดสอบแบบปรับตัวได้ (Adaptive Testing System): งานวิจัยในอนาคตสามารถศึกษาการใช้ Machine Learning เพื่อพยากรณ์โอกาสที่ IC แต่ละตัวจะเสีย (defect probability) และพัฒนาระบบที่สามารถเลือกระยะเวลาการทดสอบได้เอง (Adaptive test time) โดย IC ที่มีความเสี่ยงต่ำจะใช้เวลาทดสอบสั้นลง ในขณะที่ตัวที่มีความเสี่ยงสูงจะถูกทดสอบอย่างละเอียดขึ้น เพื่อลดระยะเวลาเฉลี่ยโดยรวมลงอีก.

การศึกษาต่อไปสามารถขยายขอบเขตของปัญหาโดยเพิ่มวัตถุประสงค์ในการ "ลดการใช้พลังงาน" ของเครื่องจักรทดสอบ ควบคู่ไปกับการลดเวลาและต้นทุน ซึ่งจะสร้างแบบจำลองการทดสอบที่เป็นมิตรต่อสิ่งแวดล้อมและตอบโจทย์ด้าน ESG ขององค์กร.

ควรมีการวิจัยเพิ่มเติมเพื่อวัดผลกระทบของ UI ที่แตกต่างกันต่อประสิทธิภาพของมนุษย์โดยตรง เช่น การวัดเวลาที่ผู้ใช้งานใช้ในการตรวจจับความผิดปกติ (Time-to-detection) หรือการวัดภาระทางความคิด (Cognitive Load) ผ่านเทคนิคการติดตามสายตา (Eye-tracking) เพื่อหาจุดสมดุลที่ดีที่สุดระหว่างประสิทธิภาพของเครื่องจักรและประสิทธิภาพของมนุษย์.

8. เอกสารอ้างอิง

[1] กระทรวงพาณิชย์, “รายงานประจำปี พ.ศ. 2565-2567 กระทรวงพาณิชย์.” กระทรวงพาณิชย์. [ออนไลน์]. เข้าถึงได้: https://www.moc.go.th/th/file/get/type/download/file/2024090280d76e1100463b4fedeef048f5d986e2120631.pdf

[2] ปิยวัฒน์ เงาภู่ทอง, "การลดต้นทุนในการผลิตโดยลดเวลาของกระบวนการทดสอบทางไฟฟ้าผลิตภัณฑ์ A," สารนิพนธ์, ว.ม., สาขาวิชาวิศวกรรมการจัดการอุตสาหกรรม, มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ, กรุงเทพฯ, 2566. [ออนไลน์]. เข้าถึงได้: https://drive.google.com/file/d/1BDW9LpwtlPWQncEFLCoRcy9HtLKYNaiC/view?usp=drivesdk

[3] Focussight, "Top electronic inspection equipment: Ensuring precision in electronics manufacturing," Focussight. Accessed: Apr. 25, 2025. [Online]. Available: https://www.focusightinspectionmachine.com/news/top-electronic-inspection-equipment-ensuring-precision-in-electronics-manufacturing-209200.html

[4] G. Tziantzioulis, T. -J. Chang, J. Balkind, J. Tu, F. Gao and D. Wentzlaff, "OPDB: A scalable and modular design benchmark," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 41, no. 6, pp. 1878–1887, Jun. 2022., doi: 10.1109/TCAD.2021.3096794.

[5] N. P. Khope and U. A. Kshirsagar, "Yield analysis in semiconductor manufacturing: Techniques, case studies, and future direction," *Journal of Information Systems Engineering and Management*, vol. 10, no. 11, pp. 198–212, Feb. 2025, doi: 10.52783/jisem.v10i11s.1515.

[6] T. Porter, "7 best quality control software in 2025." Visualsp. Accessed: Apr. 10, 2025. [Online]. Available: https://www.visualsp.com/blog/quality-control-software/

[7] K. Fraunfelter and M. Bryant, "Move toward semiconductor sustainability – by evolving from lean to smart manufacturing," Siemens Digital Industries Software. Accessed: Jan. 20, 2025. [Online]. Available: https://blogs.sw.siemens.com/electronics-semiconductors/2025/01/13/move-toward-semiconductor-sustainability-by-evolving-from-lean-to-smart-manufacturing/

[8] G. Gill, "Optimizing HMI assemblies for maximum reliability in harsh industrial environments," VCC Lite. [Online]. Accessed: Jun. 10, 2025. Available: https://vcclite.com/article/optimizing-hmi-assemblies-for-maximum-reliability-in-harsh-industrial-environments/

[9] P. Agrawal, "17 ways to reduce manufacturing costs in 2025," ScaleUpAlly. [Online]. Accessed: Jan. 10, 2025. Available: https://scaleupally.io/blog/how-to-reduce-manufacturing-cost/

[10] S. Pumkrachang, K. Asawarungsaengkul, and P. Chutima, “Design and analysis of the slider shear test system using nested GR&R Measurement System,” *Engineering Journal*, vol. 27, no. 3, pp. 11–23, Mar. 2023, doi: 10.4186/ej.2023.27.3.11.